

# Návrh a realizace laboratorní úlohy demonstrující využití reléové automatiky

Radim Koutný

---

Bakalářská práce  
2023



Univerzita Tomáše Bati ve Zlíně  
Fakulta aplikované informatiky

---

Univerzita Tomáše Bati ve Zlíně

Fakulta aplikované informatiky  
Ústav automatizace a řídicí techniky

Akademický rok: 2022/2023

# ZADÁNÍ BAKALÁŘSKÉ PRÁCE

(projektu, uměleckého díla, uměleckého výkonu)

Jméno a příjmení: Radim Koutný  
Osobní číslo: A20260  
Studijní program: B0714A150006 Aplikovaná informatika v průmyslové automatizaci  
Specializace: Průmyslová automatizace  
Forma studia: Prezenční  
Téma práce: Návrh a realizace laboratorní úlohy demonstrující využití reléové automatiky  
Téma práce anglicky: Design and Realization of a Laboratory Task Demonstrating the Use of Relay Automation

## Zásady pro vypracování

1. Seznamte se s aktuálním stavem laboratorních úloh zaměřených na praktickou ukázkou využití reléové automatiky.
2. Nastudujte a popište způsoby návrhu logických obvodů.
3. Navrhněte zapojení vybraných kombinačních a sekvenčních obvodů, správnost zapojení ověřte pomocí vhodného simulačního programu.
4. Navrhněte a zrealizujte pracoviště umožňující praktické ověření Vámi navrhnutých zapojení.
5. Navrhněte a vypracujte vhodná zadání úloh, a to s ohledem na časovou dotaci daného cvičení.
6. Zhodnoťte Vámi zrealizovanou laboratorní úlohu jako celek a navrhněte její další případné rozšíření.

Forma zpracování bakalářské práce: **tištěná/elektronická**

Seznam doporučené literatury:

1. HRUŠKA, František. Technické prostředky integrované automatizace. Zlín: Univerzita Tomáše Bati ve Zlíně, 2012, 1 online zdroj (345 s.). ISBN 978-80-7454-234-3. Dostupné také z: <http://hdl.handle.net/10563/18664>.
2. LOSKOT, Roman a Pavel VALÁŠEK. Logické obvody a kódy. 3., upr. vyd. Hradec Králové: Gaudeamus, 2011, 142 s. ISBN 9788074351624.
3. BAYER, Jiří, Zdeněk HANZÁLEK a Richard ŠUSTA. Logické systémy pro řízení. Praha: Vydavatelství ČVUT, 2000, 269 s. ISBN 8001021475.
4. MATOUŠEK, Radomil. Číslicová technika: základy konstruktérské praxe. Praha: BEN – technická literatura, 2001, 207 s. ISBN 8073000253.
5. LAMERES, Brock J. Introduction to logic circuits & logic design with VHDL. Switzerland: Springer, [2016], 1 online resource (xvi, 475 pages). Dostupné z: doi:9783319341958.

Vedoucí bakalářské práce: **Ing. Petr Skočík, Ph.D.**  
Ústav elektroniky a měření

Datum zadání bakalářské práce: **16. prosince 2022**

Termín odevzdání bakalářské práce: **24. května 2023**

**doc. Ing. Jiří Vojtěšek, Ph.D. v.r.**  
děkan



**prof. Ing. Vladimír Vašek, CSc. v.r.**  
ředitel ústavu

Ve Zlíně dne 12. prosince 2022

### **Prohlašuji, že**

- beru na vědomí, že odevzdáním bakalářské práce souhlasím se zveřejněním své práce podle zákona č. 111/1998 Sb. o vysokých školách a o změně a doplnění dalších zákonů (zákon o vysokých školách), ve znění pozdějších právních předpisů, bez ohledu na výsledek obhajoby;
- beru na vědomí, že bakalářská práce bude uložena v elektronické podobě v univerzitním informačním systému dostupná k prezenčnímu nahlédnutí, že jeden výtisk bakalářské práce bude uložen v příruční knihovně Fakulty aplikované informatiky Univerzity Tomáše Bati ve Zlíně;
- byl/a jsem seznámen/a s tím, že na moji bakalářskou práci se plně vztahuje zákon č. 121/2000 Sb. o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon) ve znění pozdějších právních předpisů, zejm. § 35 odst. 3;
- beru na vědomí, že podle § 60 odst. 1 autorského zákona má UTB ve Zlíně právo na uzavření licenční smlouvy o užití školního díla v rozsahu § 12 odst. 4 autorského zákona;
- beru na vědomí, že podle § 60 odst. 2 a 3 autorského zákona mohu užít své dílo – bakalářskou práci nebo poskytnout licenci k jejímu využití jen připouští-li tak licenční smlouva uzavřená mezi mnou a Univerzitou Tomáše Bati ve Zlíně s tím, že vyrovnání případného přiměřeného příspěvku na úhradu nákladů, které byly Univerzitou Tomáše Bati ve Zlíně na vytvoření díla vynaloženy (až do jejich skutečné výše) bude rovněž předmětem této licenční smlouvy;
- beru na vědomí, že pokud bylo k vypracování bakalářské práce využito softwaru poskytnutého Univerzitou Tomáše Bati ve Zlíně nebo jinými subjekty pouze ke studijním a výzkumným účelům (tedy pouze k nekomerčnímu využití), nelze výsledky bakalářské práce využít ke komerčním účelům;
- beru na vědomí, že pokud je výstupem bakalářské práce jakýkoliv softwarový produkt, považují se za součást práce rovněž i zdrojové kódy, popř. soubory, ze kterých se projekt skládá. Neodevzdání této součásti může být důvodem k neobhájení práce.

### **Prohlašuji,**

- že jsem na bakalářské práci pracoval samostatně a použitou literaturu jsem citoval. V případě publikace výsledků budu uveden jako spoluautor.
- že odevzdaná verze bakalářské práce a verze elektronická nahraná do IS/STAG jsou totožné.

Ve Zlíně, dne

Radim Koutný, v.r.  
podpis studenta

## **ABSTRAKT**

Bakalářská práce se zabývá návrhem a realizací laboratorních úloh demonstrujících praktické využití reléové automatiky, a to v rámci laboratorních cvičení předmětu Technické prostředky automatizace. Teoretická část práce popisuje oblast dané problematiky od základních pojmů až po technické prostředky. Praktická část práce je zaměřena na návrhy jednotlivých laboratorních úloh a jejich ověření pomocí vhodného simulačního programu. Dále je věnována výběru odpovídajících zařízení, včetně součástek a konstrukčních prvků, až po samotnou realizaci měřicích pracovišť. Část práce se také zabývá praktickým ověřením správné funkčnosti těchto experimentálních úloh. Nezbytnou součástí výstupu praktické části práce jsou návrhy na zadání k těmto úlohám, včetně ukázkových protokolů.

Klíčová slova: reléová automatika, relé, logické obvody, časové relé

## **ABSTRACT**

The bachelor thesis deals with the design and implementation of laboratory tasks demonstrating the practical use of relay automation within the laboratory exercises of the subject Technical Automation Products. The theoretical part of the thesis describes the area of the given problem from basic concepts to technical means. The practical part of the thesis is focused on the design of individual laboratory tasks and their verification using a suitable simulation program. Furthermore, it is devoted to the selection of appropriate equipment, including components and structural elements, up to the actual implementation of the measuring workstations. Part of the work also deals with the practical verification of the correct functionality of these experimental tasks. An essential part of the output of the practical part of the thesis are proposals for assignments for these tasks, including sample protocols.

Keywords: relay automation, relays, logic circuits, time relay

Tímto bych chtěl poděkovat vedoucímu mé bakalářské práce Ing. Petru Skočíkovi, Ph.D. za jeho shovívavost, odborné vedení, rady a připomínky.

Prohlašuji, že odevzdaná verze bakalářské práce a verze elektronická nahraná do IS/STAG jsou totožné.

# OBSAH

<b>ÚVOD</b> .....	<b>8</b>
<b>I TEORETICKÁ ČÁST</b> .....	<b>9</b>
<b>1 LOGICKÉ OBVODY</b> .....	<b>10</b>
1.1 BOOLEOVA ALGEBRA .....	10
1.2 ZÁKLADNÍ LOGICKÉ FUNKCE DVOU PROMĚNNÝCH .....	12
1.2.1 Další logické funkce.....	14
1.3 MINIMALIZACE LOGICKÝCH FUNKCÍ.....	17
1.3.1 Algebraická minimalizace.....	17
1.3.2 Minimalizace pomocí Karnaughovy mapy .....	17
1.3.3 Minimalizace pomocí Quine-McCluskeyovy metoda .....	19
1.4 DĚLENÍ LOGICKÝCH OBVODŮ .....	20
1.4.1 Kombinační logické obvody .....	20
1.4.2 Sekvenční logické obvody .....	23
<b>2 RELEOVÁ AUTOMATIKA</b> .....	<b>32</b>
2.1 ELEKTROMECHANICKÉ RELÉ .....	32
2.1.1 Popis relé a jeho činnosti.....	33
2.2 ČASOVÉ RELÉ .....	33
2.2.1 Princip časového relé a jeho činnosti .....	33
2.2.2 Funkce časových relé .....	34
<b>3 OBECNÝ POSTUP PŘI NÁVRHU A REALIZACI LOGICKÝCH OBVODŮ</b> .....	<b>35</b>
3.1 KONTAKTNÍ REALIZACE LOGICKÝCH OBVODŮ .....	35
3.2 BEZKONTAKTNÍ REALIZACE LOGICKÝCH PRVKŮ .....	36
<b>II PRAKTICKÁ ČÁST</b> .....	<b>37</b>
<b>4 ÚVOD DO PRAKTICKÉ ČÁSTI</b> .....	<b>38</b>
<b>5 AKTUÁLN STAVE STÁVAJÍCÍCH ÚLOH</b> .....	<b>39</b>
<b>6 VÝBĚR VHODNÝCH ZARÍZENÍ A SOUČÁSTEK</b> .....	<b>40</b>
6.1 VÝKONOVÉ RELÉ A PATICE.....	40
6.2 ČASOVÉ RELÉ .....	41
6.3 INSTALAČNÍ LED SIGNÁLKA .....	41
6.4 INSTALAČNÍ TLAČÍTKO .....	42
6.5 INSTALAČNÍ JISTIČ.....	43
6.6 ŘADOVÉ SVORKY .....	43
<b>7 NÁVRH ZAPOJENÍ VYBRANÝCH OBVODŮ A OVĚŘENÍ JEJICH FUNKČNOSTI POMOCÍ SIMULAČNÍHO PROGRAMU</b> .....	<b>44</b>
7.1 NÁVRHY ZAPOJENÍ OBVODŮ PRO VÝKONOVÁ RELÉ .....	44
7.1.1 Návrhy zapojení obvodů s logickými členy .....	44
7.1.2 Ovládání motoru ze dvou stanovišť .....	50
7.1.3 Blokace dvou tlačítek .....	51
7.2 NÁVRHY ZAPOJENÍ OBVODŮ PRO ČASOVÁ RELÉ .....	52
<b>8 NÁVRH A REALIZACE PRACOVIŠTĚ</b> .....	<b>56</b>

<b>9</b>	<b>ZHODNOCENÍ VÝSLEDKŮ .....</b>	<b>59</b>
<b>10</b>	<b>NÁVRHY ZADÁNÍ LABORATORNÍCH ÚLOH.....</b>	<b>60</b>
10.1	NÁVRH ZADÁNÍ LABORATORNÍ ÚLOHY NA TÉMA RELÉOVÁ AUTOMATIKA – VÝKONOVÁ RELÉ .....	60
10.2	NÁVRH ZADÁNÍ LABORATORNÍ ÚLOHY NA TÉMA RELÉOVÁ AUTOMATIKA – ČASOVÁ RELÉ .....	66
	<b>ZÁVĚR .....</b>	<b>70</b>
	<b>SEZNAM POUŽITÉ LITERATURY .....</b>	<b>71</b>
	<b>SEZNAM POUŽITÝCH SYMBOLŮ A ZKRATEK .....</b>	<b>74</b>
	<b>SEZNAM OBRÁZKŮ .....</b>	<b>75</b>
	<b>SEZNAM TABULEK.....</b>	<b>79</b>
	<b>SEZNAM PŘÍLOH.....</b>	<b>80</b>



## ÚVOD

Reléová automatika představuje základní a stále využívaný prvek, a to nejen v oblasti řízení a automatizace různých technických systémů, ale také v domácnostech za účelem automatizace osvětlení, topení, klimatizace nebo třeba zabezpečovacích systémů. Díky své spolehlivosti, jednoduchosti a nízkým nákladům se reléová technika rychle rozšířila a našla široké uplatnění ve všech oblastech průmyslu, energetiky, dopravy a dalších. Kdy například v průmyslu nám reléová automatika umožňuje centralizované ovládání a monitorování systému, relé v průmyslu se využívají k zapínání nebo vypínání motorů, čerpadel a jiných pohonů. Je to způsob, jak dosáhnout efektivnějšího a spolehlivějšího provozu. Automatizace procesů je další důležitá oblast, kde je reléová automatika využívána a má zde své místo, může se jednat o časování, sekvenční řízení nebo řízení dle určitých parametrů. Reléová automatika má také důležité místo v bezpečnosti a ochraně, kdy reléové spínače mohou být integrovány do bezpečnostních systémů, jako jsou nouzová zastavení, detekce požáru nebo ochrana před přetížením. Reléová automatika je tak v průmyslu stále důležitější, protože umožňuje zlepšení efektivity, spolehlivosti a bezpečnosti průmyslových procesů. Díky automatizaci a monitorování lze dosáhnout vyšší produktivity, nižších nákladů na provoz a lepšího využití zdrojů.

Teoretická část práce se zaměřuje na problematiku reléové automatiky, logické obvody, na řešení logických obvodů jejich dělení, také v teoretické části jsou zmíněny příklady některých logických obvodů a poslední částí teorii je obecný postup při navrhování logických obvodů a možnosti následné realizace. Praktická část se zaměřuje na návrh jednotlivých úloh, ověření jejich funkčnosti, a to jak za pomoci simulačního programu, tak i fyzicky přímo na pracovišti. Další bod praktické části je právě realizace pracoviště, od návrhu, přes nákup součástek až po samotné postavení. Hlavní výstup této práce je tedy návrh zadání laboratorních úloh právě na téma reléová automatika. V rozsahu celé praktické části jsou vloženy fotografie procesu realizace úlohy, od popisu jednotlivých součástek až do finální podoby pracoviště.

## **I. TEORETICKÁ ČÁST**

## 1 LOGICKÉ OBVODY

Logické obvody jsou systémy, u kterých je výstupní veličina závislá na kombinaci vstupních veličin, kdy tyto vstupní i výstupní veličiny mohou nabývat pouze dvou hodnot a to 1 nebo 0 (true nebo false). [1]

Logické obvody se skládají z jednoduchých logických prvků, které jsou propojeny takovým způsobem, aby se dosáhlo požadované funkce dle daného zadání. Logické prvky jsou schopné provádět jednoduché operace, jako je sčítání, odečítání, logické AND, OR a další. Tyto operace se provádějí na základě vstupních signálů, které jsou přivedeny na logický prvek a jsou vyhodnoceny na výstupu logického prvku. [1, 8]

### 1.1 Booleova algebra

Booleova algebra nese jméno po svém zakladateli jimž byl irský matematik George Bool. Jedná se o logickou algebru, která je založena na dvouhodnotových veličinách. Tyhle veličiny mohou nabývat pouze dvou hodnot a to logická 0 a logická 1. U logických obvodů se můžeme také setkat s označením L a H (z anglických slov low – nízká úroveň neboli logická 0 a high – vysoká úroveň pro logickou 1). Booleova algebra využívá tří základních logických funkcí a to negace, konjunkce a disjunkce. [6, 7]

#### Zákony a pravidla Booleovy algebry

Zákony a pravidla slouží k úpravě, zjednodušování a minimalizaci logických funkcí. [6, 7]

Jednotlivé zákony a pravidla [6, 7]:

Zákon komutativní:

$$a + b = b + a \quad (1)$$

$$a * b = b * a \quad (2)$$

Zákon asociativní:

$$a + (b + c) = a + b + c \quad (3)$$

$$a * (b * c) = b * a * c \quad (4)$$

Zákon distributivní:

$$a * (b + c) = a * b + a * c \quad (5)$$

$$a + (b * c) = (a + b) * (a + c) \quad (6)$$

Zákon absorpce:

$$a * (a + c) = a \quad (7)$$

$$a + (a * c) = a \quad (8)$$

Zákon absorpce negace:

$$a + (\bar{a} * c) = a + c \quad (9)$$

$$\bar{a} * (a + c) = \bar{a} * c \quad (10)$$

Zákon opakování:

$$a + a = a \quad (11)$$

$$a * a = a \quad (12)$$

Zákon dvojité negace:

$$\bar{\bar{a}} = a \quad (13)$$

Zákon vyloučeného třetího:

$$a + \bar{a} = 1 \quad (14)$$

Zákon logického rozporu:

$$a * \bar{a} = 0 \quad (15)$$

Zákony neutrálnosti 0 a 1:

$$0 + a = a \quad (16)$$

$$1 * a = a \quad (17)$$

Zákony agresivnosti 0 a 1:

$$0 * a = 0 \quad (18)$$

$$1 + a = 1 \quad (19)$$

Zákony de Morganovy:

$$\overline{a + b} = \bar{a} * \bar{b} \quad (20)$$

$$\overline{a * b} = \bar{a} + \bar{b} \quad (21)$$

## 1.2 Základní logické funkce dvou proměnných

Základní logické funkce jsou které se používají v Booleově algebře k vyjádření a popisu logických výrazů. Mezi základní funkce se řadí negace NOT, logický součet OR a logický součin AND. Pomocí těchto tří lze vyjádřit libovolně složitou funkci. Mezi další funkce patří NAND, NOR, XOR, XNOR. [2, 3, 8]

K popisu logických funkcí se používá matematické vyjádření rovnicí nebo pravdivostní tabulka. Pravdivostní tabulka je tabulka, která ukazuje výsledky logických operací pro všechny možné kombinace logických vstupů. Každý řádek v pravdivostní tabulce odpovídá jedné možné kombinaci vstupů a každý sloupec odpovídá jedné logické proměnné nebo operaci. [1]

### Negace – NOT

Funkce NOT je funkce jedné vstupní proměnné a jedné výstupní proměnné. Člen, kterým se realizuje logická funkce NOT se nazývá invertor nebo negátor. Výstupní hodnota je vždy opačná k hodnotě přivedené na vstup. [2, 3]

Rovnice funkce [1, 3, 4]:

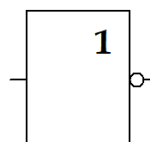
$$Y = \bar{A} \quad (22)$$

Pravdivostní tabulka funkce [1, 3, 4]:

Tabulka 1 Pravdivostní tabulka funkce NOT

A	Y
0	1
1	0

Schématická značka [1, 3, 4]:



Obrázek 1 Schématická značka hradla NOT

**Logický součin – AND**

Logický součin neboli konjunkce je funkce minimálně dvou vstupních proměnných a jedné výstupní proměnné. Na výstupu se objeví logická 1, jen když na všech vstupech bude logická 1. V případě že na některém ze vstupů je logická 0, tak i výstupní proměnná bude vždy logická 0. [2, 3]

Rovnice funkce [1, 3, 4]:

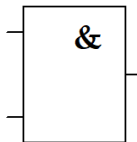
$$Y = A * B \quad (23)$$

Pravdivostní tabulka funkce [1, 3, 4]:

Tabulka 2 Pravdivostní tabulka funkce AND

A	B	Y
0	0	0
1	0	0
0	1	0
1	1	1

Schématická značka [1, 3, 4]:



Obrázek 2 Schématická značka hradla AND

**Logický součet – OR**

Logický součet neboli disjunkce minimálně dvou vstupních proměnných a jedné výstupní proměnné. Na výstupu se objeví logická 1 bude-li aspoň na jednom ze vstupů logická 1. V případě, kdy je na všech vstupech logická 0 je i na výstupu logická 0. [2, 3]

Rovnice funkce [1, 3, 4]:

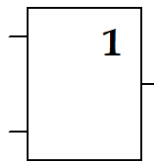
$$Y = A + B \quad (24)$$

Pravdivostní tabulka funkce [1, 3, 4]:

Tabulka 3 Pravdivostní tabulka funkce OR

A	B	Y
0	0	0
1	0	1
0	1	1
1	1	1

Schématická značka [1, 3, 4]:



Obrázek 3 Schématická značka hradla OR

### 1.2.1 Další logické funkce

#### Piercova funkce – NOR

Negovaný logický součet neboli Piercova funkce nabývá logické 1 na výstupu pouze tehdy je-li na obou vstupech logická 0. Přivedením jednoho signálu na oba vstupy lze realizovat logickou funkci NOT. [2, 3]

Rovnice funkce [1, 3, 4]:

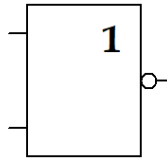
$$Y = \overline{(A + B)} \quad (25)$$

Pravdivostní tabulka [1, 3, 4]:

Tabulka 4 Pravdivostní tabulka funkce NOR

A	B	Y
0	0	1
1	0	0
0	1	0
1	1	0

Schématická značka [1, 3, 4]:



Obrázek 4 Schématická značka hradla NOR

### Shefferova funkce – NAND

Negovaný logický součin neboli Shefferova funkce nabývá logické 0 na výstupu pouze tehdy je-li na obou vstupech logická 1. Ve všech ostatních případech na výstupu dostáváme logickou 1. Taktéž jako u Piercovi funkce přivedením jednoho signálu na oba vstupy lze realizovat logickou funkci NOT. [2, 3]

Rovnice funkce [1, 3, 4]:

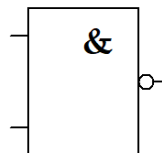
$$Y = (\overline{A * B}) \quad (26)$$

Pravdivostní tabulka funkce [1, 3, 4]:

Tabulka 5 Pravdivostní tabulka funkce NAND

A	B	Y
0	0	1
1	0	1
0	1	1
1	1	0

Schématická značka [1, 3, 4]:



Obrázek 5 Schématická značka hradla NAND

### Exkluzivní logický součet XOR

Exkluzivní logický součet neboli antivalence nabývá na výstupu hodnoty logická 1 pouze když na vstupech je rozdílná logická hodnota.



Rovnice funkce [1, 3, 4]:

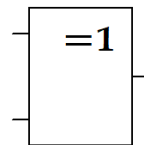
$$Y = A \oplus B \quad (27)$$

Pravdivostní tabulka [1, 3, 4]:

Tabulka 6 Pravdivostní tabulka funkce XOR

A	B	Y
0	0	0
1	0	1
0	1	1
1	1	0

Schématická značka [1, 3, 4]:



Obrázek 6 Schématická značka hradla XOR

### Exkluzivní negovaný logický součet XNOR

Exkluzivní negovaný logický součet nabývá na výstupu hodnoty log. 1 jen tehdy jsou-li na obou vstupech samé log. 0 nebo samé log.1. [1, 3, 4]

Rovnice funkce [1, 3, 4]:

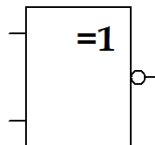
$$Y = \overline{A \oplus B} \quad (28)$$

Pravdivostní tabulka [1, 3, 4]:

A	B	Y
0	0	1
1	0	0
0	1	0
1	1	1

Tabulka 7 Pravdivostní tabulka funkce XNOR

Schématická značka [1, 3, 4]:



Obrázek 7 Schématická značka hradla XNOR

### 1.3 Minimalizace logických funkcí

Minimalizace logických funkcí je proces, při kterém se snažíme pomocí různých metod najít co nejjednodušší logický tvar, který bude mít stejnou funkční hodnotu jako výraz původní. Minimalizace je důležitá při návrhu, kdy díky ní získáme funkci, která obsahuje minimální počet členů s minimálním počtem proměnných a tím pádem dochází ke snížení nákladů (k realizaci je potřeba menší počet logických prvků, což může mít za následek i menší spotřebu elektrické energie) a hlavně dochází ke zjednodušení celého návrhu obvodu. [5]

#### 1.3.1 Algebraická minimalizace

Při algebraické minimalizaci logických funkcí používáme pravidel a zákonů Booleovy algebry (viz kapitola 1.1). Pravidla a zákony aplikujeme na danou logickou funkci, tak dlouho dokud nedostaneme nejjednodušší výraz, který již dále zjednodušit nejde. [1,7]

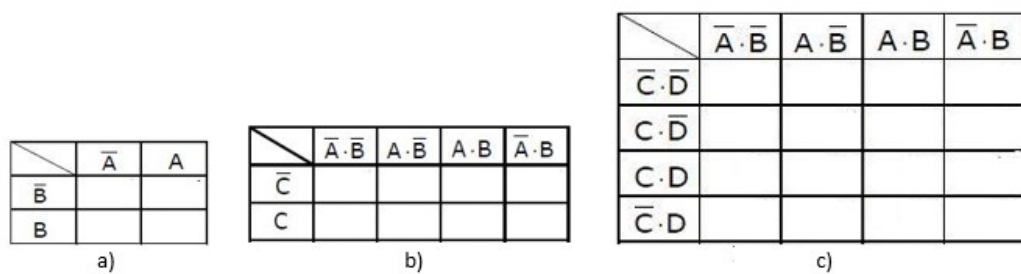
Při algebraické minimalizaci nejvíce využíváme zákonu vyloučeného třetího, zákonu logického rozporu, zákonu dvojité negace a zákonu opakování. Důležité jsou také de Morganovy zákony, které využíváme, pokud se v logickém výrazu, nachází negace přes více než jednu logickou proměnnou. Důležitá je samozřejmě i znalost zbylých zákonů pro správné zjednodušení logického výrazu. [1,7]

#### 1.3.2 Minimalizace pomocí Karnaughovy mapy

Na rozdíl od algebraické minimalizace se jedná o minimalizaci grafickou. Princip minimalizace je založen na vyhledávání a spojování logických jedniček nebo nul do smyček, podle

daných pravidel, kdy hodnota sousedních políček se vždy liší pouze v jedné hodnotě. Dáváme-li do smyček nuly nebo jedničky se liší v závislosti na tom, zda chceme dostat logický výraz jako úplnou disjunktivní (součin součtů) nebo úplnou konjunktivní formu (součet součinů). Mnohem častěji se setkáváme s případy, kdy do smyček spojujeme logické jedničky. [7, 11]

Prvním krokem minimalizace je sestavení samotné mapy (tabulky). Tvar mapy je dán podle počtu vstupních proměnných. Velikost se určuje podle vzorce  $2^n$ , kde  $n$  je počet vstupních proměnných. [7]



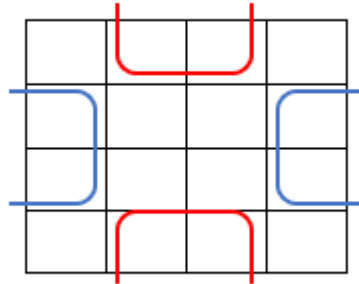
Obrázek 8 Pravdivostní tabulky dle počtu vstupních proměnných, a) 2 vstupní proměnné, b) 3 vstupní proměnné A, B a C, c) 4 vstupní proměnné A, B, C a D [7]

Dalším krokem je naplnění mapy logickými jedničkami dle zadané pravdivostní tabulky nebo logického výrazu a spojování jedniček do smyček, kdy smyčky musí být o velikostech mocnin dvou (1, 2, 4, 8, ...). [6, 7]

Při vyznačování smyček se řídíme následujícími pravidly [7]:

- Smyčka musí být ve tvaru čtverce nebo obdélníku, a může obsahovat pouze políčka se stejnou hodnotou (logická 1), v případě že tabulka obsahuje neznáme stavy  $x$  a zahrnutí tohoto stavu nám pomůže k jednodušší funkci, můžeme ho také zahrnout do smyčky.
- Počet políček uvnitř smyčky musí vždy být celou mocninou čísla 2.
- Smyčky se mohou překrývat čili jedno políčko může být použito ve více smyčkách
- Vrchní a spodní řádek se berou jako sousední, totéž platí pro krajní levý a krajní pravý sloupec.
- Počet smyček by měl být co nejmenší čili měli bychom dělat co největší smyčky, respektive měly by obsahovat co nejvíce políček

- Každé políčko obsahující logickou 1 musí být zařazeno do smyčky, v případě že políčko je stojí o samotě, musí z něj udělat samostatnou smyčku
- Všechny políčka se stejnou logickou hodnotu musí být při sestrojování logického výrazu použity



Obrázek 9 Příklad tvoření smyček přes okraje mapy

Z vytvořených smyček následně sestavíme algebraický výraz, který je již minimalizovaný. Tvar algebraického výrazu se liší podle toho, zda jsme do smyček spojovali logické jedničky nebo nuly. V případě, kdy spojujeme do smyček logické jedničky dostaneme algebraický výraz ve tvaru součtu součinů. V druhém případě, kdy do smyček spojujeme logické nuly, dostaneme součin součtů. Velikost jednotlivých členů ať už součtu nebo součinu se liší podle velikosti vytvořených smyček. [7, 9]

### 1.3.3 Minimalizace pomocí Quine-McCluskeyovy metoda

Quine-McCluskeyova metoda je algebraická metoda, je založena na aplikaci Booleových zákonů, a to hlavně zákonu distributivního a zákona o vyloučení třetího. Při algoritmu Quine-McCluskeyov jsou postupně vyhledávány všechny dvojice mintermů (základní součiny) a v nich dvojice lišící se navzájem hodnotou jen jedné proměnné, z těchto dvojic pak lze tuto proměnou vyloučit a tím snížit celkový počet proměnných obsažených v implikantech. [10]

Postup použití Quine-McCluskeyovy metody v jednotlivých krocích [10]:

- Výrazy logické funkce se rozdělí do skupin, aby v každé skupině byly pouze členy se stejným počtem proměnných s negací.
- Porovnáme všechny možné dvojice, ve kterých jeden výraz je z jedné skupiny a druhý výraz je ze skupiny, která obsahuje o jednu více negovanou proměnnou.

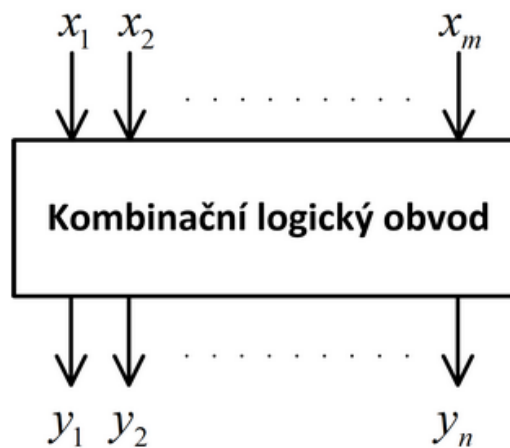
- Když se výrazy liší pouze v jedné proměnné využijeme Booleovy algebry, a to zákonu o vyloučení třetího nebo distributivního zákonu a výrazu zjednodušíme. Zjednodušení výrazy se přenesou do další iterace.
- Výrazy, které se opakují v další iteraci pomocí zákona o opakování vypustíme.
- V další iteraci opakujeme předchozí kroky, dokud to je možné, v případě že to možné nebude algoritmus končí a dostáváme výsledek což jsou výrazy, které již není možno zjednodušit.

## 1.4 Dělení logických obvodů

Logické obvody se dělí na 2 typy, a to na kombinační a sekvenční. Sekvenční logické obvody dále dělíme na synchronní a asynchronní. [1, 2, 12]

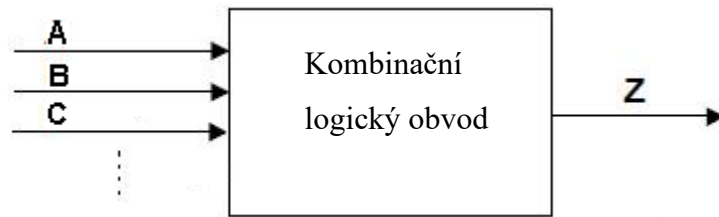
### 1.4.1 Kombinační logické obvody

U kombinačních logických obvodů jsou hodnoty výstupních logických proměnných dány okamžitými kombinacemi hodnot logických vstupních proměnných (viz obrázek 10). Neobsahují tedy žádnou paměť a nejsou tak závislé na předchozím stavu. [2, 12]

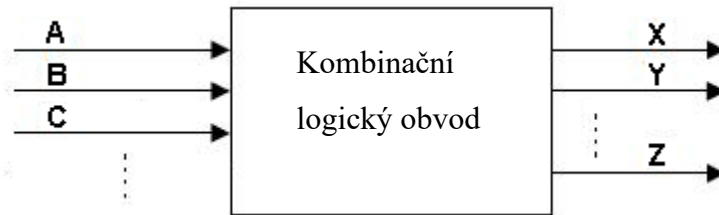


Obrázek 10 Obecné schéma kombinačního logického obvodu [14]

Kombinační obvody můžeme dělit na dvojpól a multipól, kdy dvojpól (viz obrázek 11) může obsahovat libovolný počet vstupních proměnných, ale pouze jednu výstupní proměnnou. Multipól (viz obrázek 12) obsahuje jak více vstupních logických proměnných, tak více výstupních logických proměnných. [12]



Obrázek 11 Kombinační dvojpól [12]



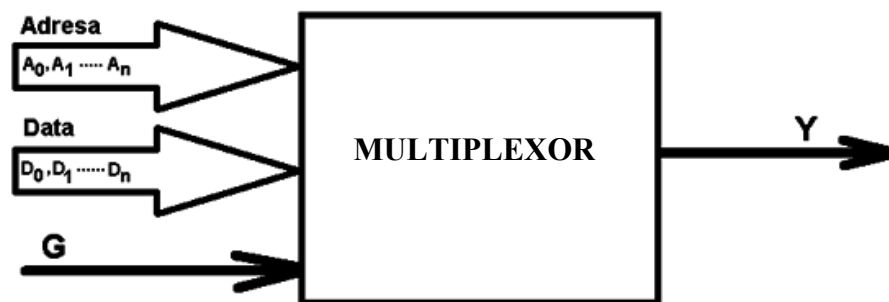
Obrázek 12 Kombinační multipól [12]

Pro popis kombinačních logických obvodů můžeme využít [14]:

- Algebraický zápis pomocí Booleových rovnic
- Pravdivostní tabulky – ta nám zobrazí převod vstupních kombinací logických proměnných na výstup
- Schéma obvodu – schéma obvodu se skládá ze značek logických hradel a jejich vzájemného propojení, díky němu získáme vnitřní uspořádání obvodu
- Karnaghouvo mapou nebo jinými mapami a dalšími grafickými prostředky
- Slovním popisem funkce

Mezi nejčastěji používané kombinační logické obvody patří:

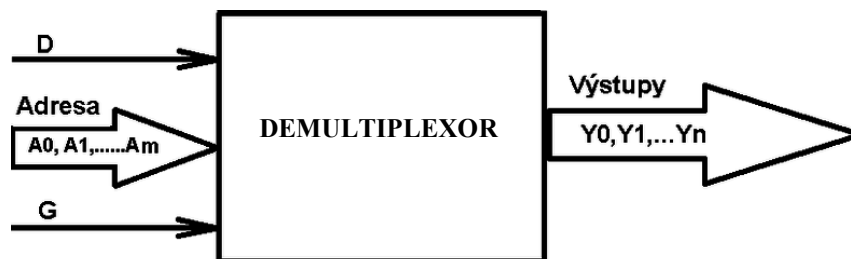
- **Multiplexory** – jedná se o elektrická zařízení, které nám z mnoha vstupních proměnných umožňují vybrat jen jednu a následně ji přivést na výstup obvodu. Multiplexory mají několik datových vstupů, několik vstupů řídicích/adresových a některé ještě mohou obsahovat vstup blokovací (viz obrázek 13). [15]



Obrázek 13 Blokové znázornění multiplexoru [15]

Kde  $A_0, A_1, \dots, A_n$  jsou vstupy adresové neboli řídicí,  $D_0, D_1, \dots, D_n$  jsou vstupy datové a  $G$  je vstup blokovací,  $Y$  je výstup [15]

- **Demultiplexory** – jedná se o elektrická zařízení, které mají jeden datový vstup a několik výstupů (viz obrázek 14). Hodnota proměnné z datového vstupu je přenášena na příslušný výstup podle kombinace adresových vstupů. Počet výstupů je závislý na počtu adresových vstupů podle vzorce  $2^n$ , kde  $n$  je počet adresových vstupů. Demultiplexory také jako multiplexory ještě mohou obsahovat blokovací vstup. [15]

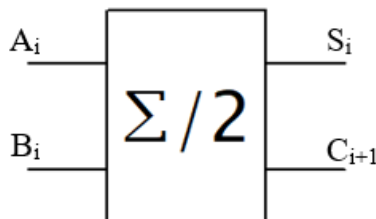


Obrázek 14 Blokové znázornění demultiplexoru [15]

Kde  $D$  je datový vstup,  $A_0, A_1, \dots, A_n$  jsou vstupy adresové neboli řídicí a  $G$  je vstup blokovací,  $Y_0, Y_1, \dots, Y_n$  jsou výstupy [15]

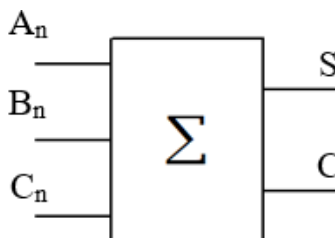
- **Dekodéry** – jedná se o obvody, které umožňují identifikaci určitého kódu, binárního čísla nebo mohou sloužit k převodu jednoho kódu na jiný. [15, 16]
- **Kodéry** – jsou logické obvody, které slouží k převodu čísel z jednoho kódu do jiného. Z jednoho či více vstupů odpovídající desítkové soustavě převádí desítkové číslo do soustavy dvojkové. [15, 16]

- **Sčítací obvody** – umožňují nám provádět aritmetické operace v binárním kódu. Mezi nejčastější zapojení patří poloviční(neúplná) binární sčítačka (viz obrázek 15) a úplná binární sčítačka (viz obrázek 16). [15,16]



Obrázek 15 Schématická značka poloviční sčítačky [17]

Kde  $A_i$  a  $B_i$  jsou vstupy,  $S_i$  je výsledek a  $C_{i+1}$  je přenos do vyššího řádu



Obrázek 16 Schématická značka úplné sčítačky [17]

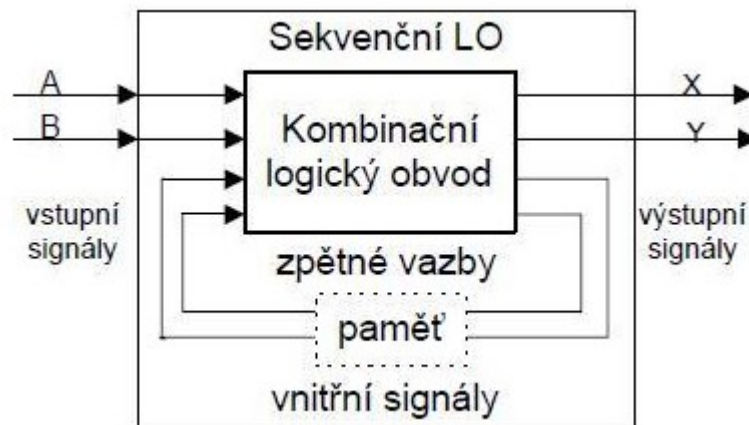
Kde  $A_n$ ,  $B_n$  jsou vstupy  $C_n$  je přenos z nižšího řádu,  $S$  je výsledek aritmetické operace a  $C$  je přenos do vyššího řádu.

- **Porovnávací obvody** – porovnávací obvody se dělí na číslicové komparátory a velikostní komparátory. Číslicové komparátory porovnávají dvě  $n$ -místná slova a v případě shody generují logickou jedničku na výstupu. Velikostní komparátor nám umožňují porovnat dvě čísla a určit, zda číslo  $A$  je větší než  $B$  nebo zda je číslo  $A$  menší než číslo  $B$  nebo zda se čísla  $A$  a  $B$  rovnají. [15, 16]

#### 1.4.2 Sekvenční logické obvody

Sekvenční logické obvody narušují od kombinačních jsou krom vstupních hodnot závislé také na jeho předchozím stavu. To znamená, že dvěma stejným kombinacím na vstupu, může odpovídat jiný výstup. Na rozdíl od kombinačních obvodů, tak musí obsahovat paměťovou část a také zpětné vazby. Sekvenční logický obvod tak má kromě vstupních a výstupních proměnných ještě proměnné vnitřní. Tyto vnitřní proměnné nám poskytují informace o předchozích stavech a spolu se vstupními kombinacemi určují hodnoty výstupních signálů. Obecné schéma viz obrázek 17. [1, 2, 13]





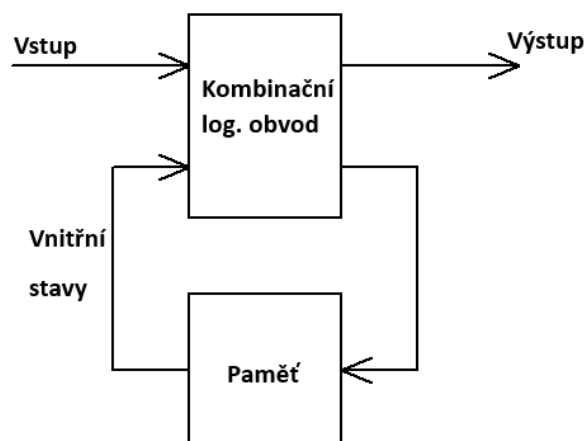
Obrázek 17 Blokové schéma sekvenčního logického obvodu [13]

Pro popis sekvenčních logických obvodů můžeme použít:

- Algebraický zápis pomocí Booleovských rovnic pro přechodové a výstupní funkce
- Tabulky přechodů a výstupů, vyjadřují hodnoty přechodových vnitřních stavů a výstupů na základě vstupů a vnitřních stavů
- Stavový diagram, jedná se o grafický způsob popisu funkce obvodu
- Slovní popis s časovým diagramem

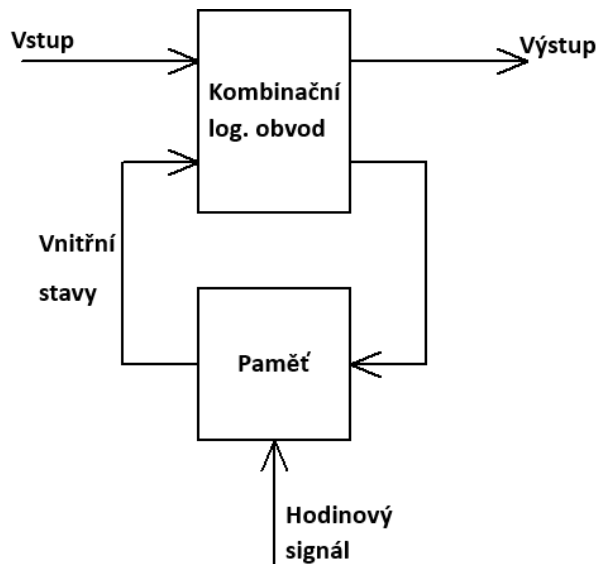
Sekvenční logické obvody dále můžeme dělit na:

- **Asynchronní** – u asynchronních obvodů působí změna vstupu okamžitě na výstup. Zpoždění, které zde může vzniknout je dáno průchodem jednotlivými logickými prvky. [18]



Obrázek 18 Blokové schéma asynchronního sekvenčního obvodu

- **Synchronní** – synchronní sekvenční logické obvody nemění svůj stav ihned po změně na vstupu, ale až po změně hodinového signálu. Systém tak mění svoje stavy jen v přesně definovaných okamžicích. Tyhle okamžiky jsou definovány hodinovým signálem, kdy systém může reagovat na jeho náběžnou hranu, sestupnou hranu nebo na týl signálu.[18]



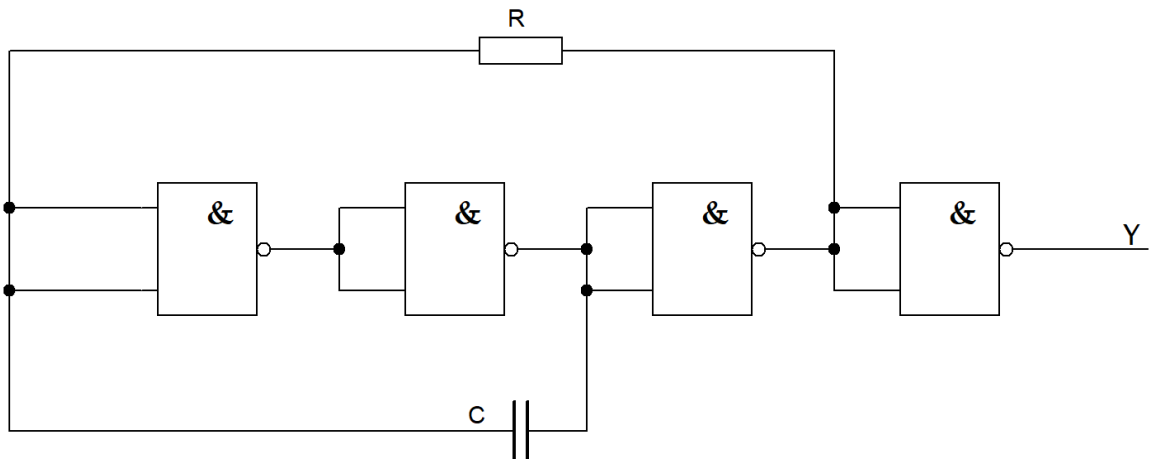
Obrázek 19 Blokové schéma synchronního sekvenčního obvodu

### Klopné obvody

Jsou to elektronické obvody, které přecházejí mezi několika disktrétnímu stavy, přičemž ke změně dochází skokově. Klopné obvody dělíme na bistabilní, astabilní a monostabilní, přičemž mezi sebou se liší v počtu ustálených stavů. [1]

### Astabilní klopné obvody

Astabilní klopné obvody nemají na výstupu ani jeden ustálený stav, výstup je neustále přepínán mezi logickou jedničkou a nulou. Astabilní klopné obvody se také nazývají multivibrátory, generátory pravoúhlých kmitů nebo generátory periodicky se opakujících impulsů. Používají se k vytváření periodického signálu, který může být využit například jako hodinový signál pro digitální obvody, generátor zvukových signálů nebo jiných signálů pro různé aplikace. Příklad astabilního klopného obvodu je na obrázku 20. [1, 19]

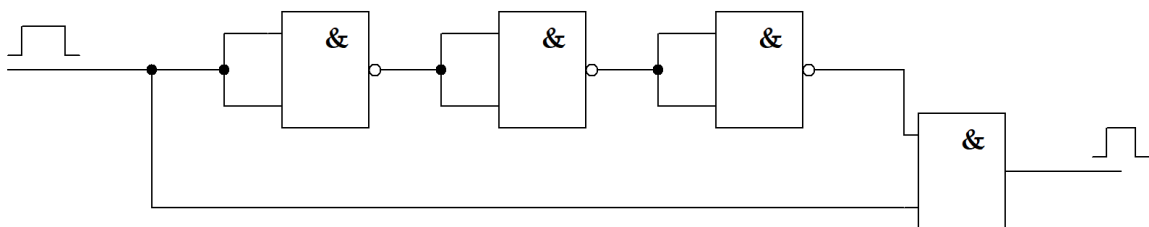


Obrázek 20 Astabilní klopný obvod zapojený pomocí hradel NAND a RC členu  
[19]

RC člen je článek, který je složen z rezistoru a kondenzátoru. Jedna součástka je vždy v sérii čili v cestě signálu a druhá je paralelně k výstupu členu. RC členy se používají jako dolní nebo horní propust, popřípadě jako filtry. [15]

### Monostabilní klopné obvody

Monostabilní klopné obvody mají jeden ustálený stav a setrvávají v něm libovolně dlouhou dobu. Po přivedení spouštěcího impulsu se překlápí do nestabilního stav, z něhož se do stabilního stavu vrátí po uplynutí přivedeného impulsu. V číslicových obvodech využíváme monostabilní klopné obvody především jako generátory impulsů s nastavitelnou šířkou nebo k vytvoření požadovaného zpoždění impulsu. Příklad monostabilního klopného obvodu je na obrázku 21.[1, 19]



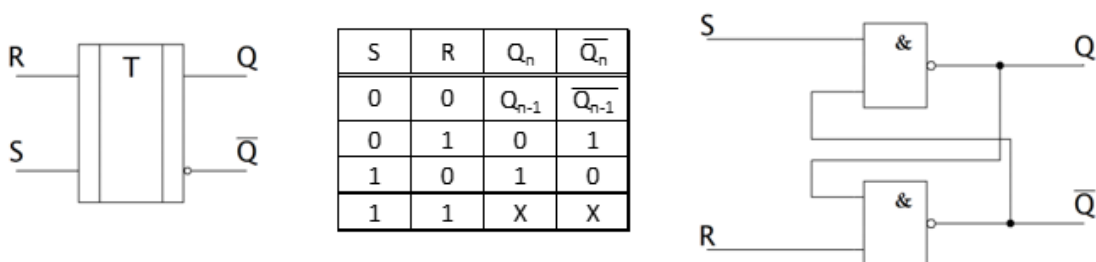
Obrázek 21 Monostabilní klopný obvod zapojený pomocí hradel NAND a AND  
[19]

## Bistabilní klopné obvody

Bistabilní klopný obvod má dva stabilní stavy, v nichž může setrvat libovolně dlouhou dobu. Bistabilní klopné obvody jsou schopny zaznamenat přechodné informace a uchovat stav, i když informace na vstupů zmizí. Bistabilní logické obvody používáme hlavně k sestavování čítačů, registrů nebo jako zpožd'ovací mezistupně. Jsou základem pro obvody typu RS, RST, D, JK, T. [1, 19]

### Klopný obvod typu RS

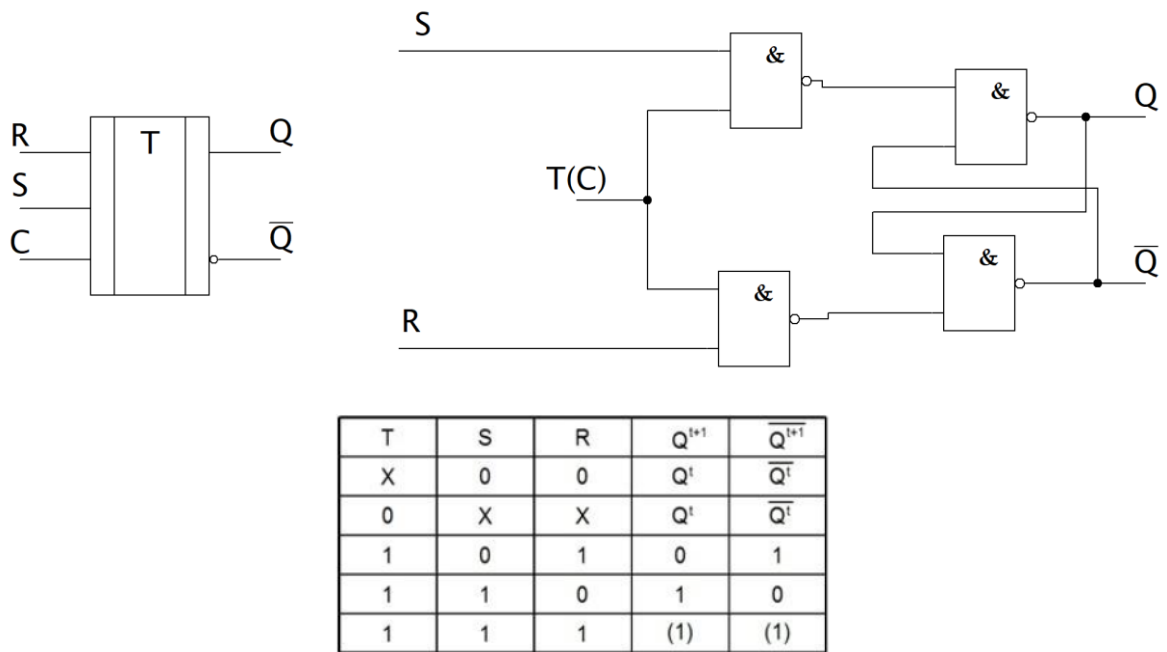
Jedná se o asynchronní klopný obvod, který má 2 vstupy R a S a 2 výstupy Q a  $\bar{Q}$  (viz Obrázek 22). Vstup R neboli RESET slouží nastavení výstupu Q do stavu logické nuly. Vstup S neboli SET slouží k nastavení výstupu Q do stavu logické jedničky. V případě přivedení logické jedničky na vstupy R a S zároveň se dostaneme do zakázaného stavu, kdy obvod neví, zda má na výstup poslat logickou jedničku nebo nulu. V praxi se používají RS obvody, které mají buď preferovaný SET nebo RESET. [1, 18]



Obrázek 22 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí hradel NAND klopného obvodu RS [15]

### Klopný obvod typu RST

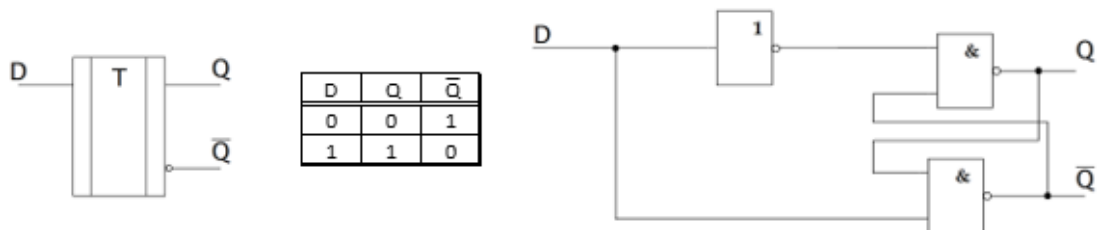
Jedná se o synchronní verzi klopného obvodu RS čili kromě vstupů R a S je zde ještě vstup C neboli vstup hodinového signálu (viz Obrázek 23). [1]



Obrázek 23 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí hradel NAND klopného obvodu RST [15]

### Klopný obvod typu D

Dochází zde k odstranění nežádoucího stavu, kdy vstupy R a S jsou rovny logické jedničce. Zároveň se zde odstraňuje i druhý stav kdy vstupy R a S jsou rovny logické nule. Obvod má jeden vstup D a dva výstupy Q a  $\bar{Q}$  (viz Obrázek 24). [1]

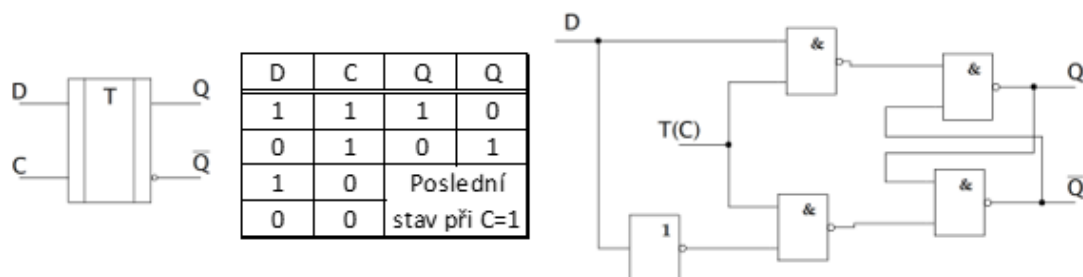


Obrázek 24 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí hradel NAND klopného obvodu D [15]

### Synchronní klopný obvod typu D

Synchronní klopný obvod vzniká z obvodu RST, kdy mezi vstupy R a S přivedeme invertor, čímž vyloučíme nevyhovující stavy, které vznikají kdy  $R=S=1$  a  $R=S=0$  (viz. Obrázek 25). Obvod má dva vstupy D a C a obvykle dva výstupy Q a  $\bar{Q}$  (viz obrázek 25). Obvod se chová

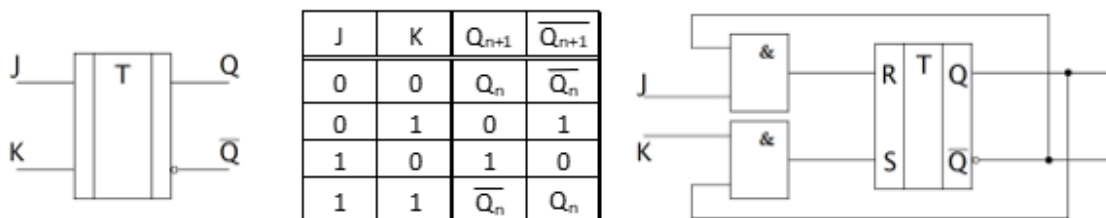
tak, že při přivedení hodinového signálu C se na výstupu objeví signál odpovídající vstupní hodnotě D. Obvod může reagovat na náběžnou a sestupnou hranu hodinového signálu nebo na jeho týl. [1, 18]



Obrázek 25 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí hradel NAND synchronního klopného obvodu D [15]

### Klopný obvod JK

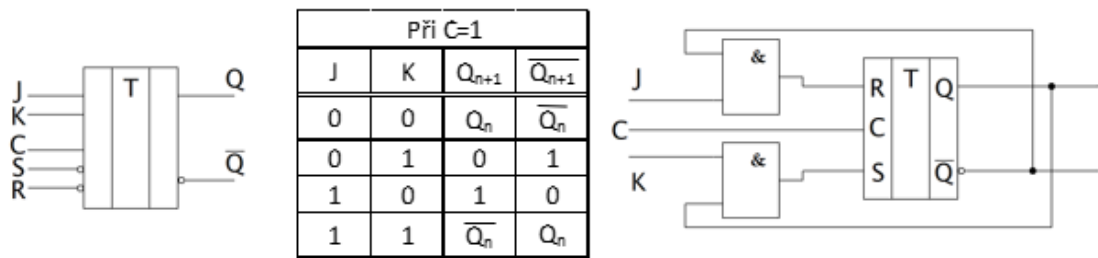
Zůstávají zde zachovány oba dva vstupy J a K, ale je zabráněno, aby nabývali stejných hodnot. Při J=K=0, tak na výstupu dostaneme stav předchozí a při J=K=1, tak na výstupu dostaneme znegovaný předchozí stav výstupu (viz Obrázek 26). [1]



Obrázek 26 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí hradel AND a RS obvodu klopného obvodu JK [15]

### Synchronní klopný obvod JK

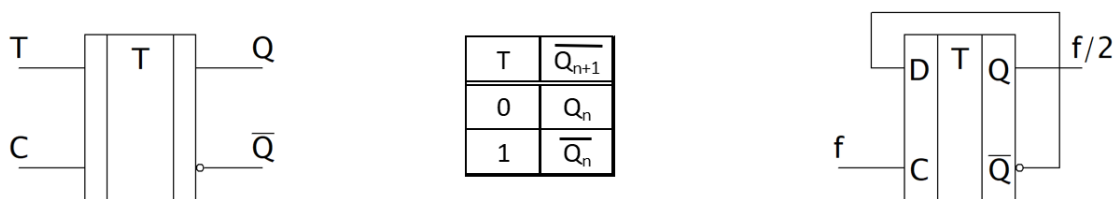
Synchronní klopná obvod JK má 5 vstupů (viz Obrázek 27), vstupy J a K se projeví na výstupu pouze když se změní vstup hodinového impulsu C. Vstupy R a S působí na chování systému bez ohledu na hodnoty ostatních signálu J, K a C.



Obrázek 27 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí hradel AND a RST obvodu synchronního klopného obvodu JK

### Klopný obvod T

Klopný obvod T se používá jako dvojkový dělič nebo jako jednobitová paměť, protože může setrvat po libovolně dlouhou dobu v jednom ze dvou stabilních stavů, a to buď v logické jedničce nebo logické nule. Výstup se mění až s příchodem druhého vstupního signálu. [1]



Obrázek 28 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí klopného obvodu D klopného obvodu T

### Registry

Registry vznikají spojením několika jednotlivých klopných obvodů. Registry jsou určeny k dočasnému nebo i dlouhodobému uchování informací, zpravidla o velikosti jednoho bitu, slabiky, slova apod. [1, 18]

Registry se dělí na:

- **Paměťové** – slouží jako paměť pro několik bitů, většinou se skládá ze 4 klopných obvodů typu D [1, 18]
- **Posuvné** – slouží k posunutí informace o jeden bit doleva, k posuvu dochází po každém příchodu hodinového signálu, mohou být zapojeny pomocí synchronních klopných obvodů D nebo JK [1, 18]

## Čítače

Čítače slouží k počítání vstupních impulzů. Posloupnost vstupních impulzů vyvolává změny stavy paměťové části klopných obvodů. Po překročení rozsahu se čítač resetuje a počítá znova od počáteční hodnoty. Čítače využívají hlavně v měřicí a výpočetní technice. [1, 18]

Čítače dělíme na:

- **Synchronní** – synchronní čítače mají navíc synchronizační vstup C. Ke změně hodnoty čítače dochází až při změně na synchronizačním vstupu. [1, 18]
- **Asynchronní** – neobsahuje synchronizační vstup C, ke změně výstupu dojde ihned po příchodu čítaných impulzů. [1, 18]



## 2 RELEOVÁ AUTOMATIKA

Reléová automatika je oblast automatizace a řízení, která pro spínání a ovládání elektrických obvodů využívá různé typy relé. Relé jsou prvky, které se aktivují elektrickým signálem a následně spínají nebo rozepínají elektrický obvod. Reléová automatika se používá v široké škále aplikací, a to zejména tam, kde je potřeba spínat větší elektrické zatížení nebo kde je potřeba spolehlivé a bezpečné spínání obvodů. Jednou z hlavních oblastí využití reléové automatiky je průmyslová automatizace, kde se relé používají k ovládání motorů, ventilů, světel a dalších zařízení. [21, 22]

Mezi další využití reléové automatiky spadá například energetika a distribuce elektřiny, kdy je možno využít relé pro ochranu před přetížením, zkratem nebo přepětím v elektrické síti. Dále se reléová automatika využívá v dopravě, k řízení dopravních světel, železničních přejezdů nebo v dalších zařízeních, která slouží k signalizaci a zajišťují bezpečnost a plynulost provozu. Reléová automatika také našla uplatnění v budovách, kdy nám reléové moduly mohou sloužit ke spínání světel, topení, klimatizace a dalších spotřebičů.

I přes to že v dnešní době se od reléové automatiky opouští, díky rozvoji digitálních řídicích systémů a programovatelných automatů, tak stále se reléová automatika uplatňuje v mnoha aplikacích, hlavně u důvodů [22, 25]:

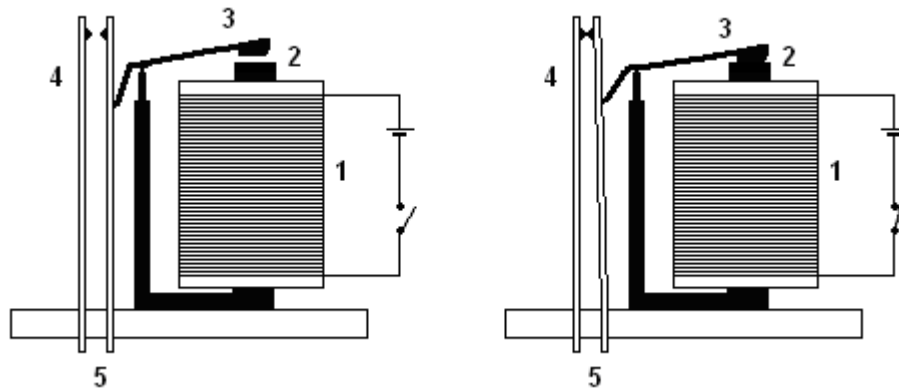
- **Spolehlivosti** – protože relé nejsou náchylná k poruchám způsobeným elektromagnetickými rušeními nebo elektrickými výboji.
- **Jednoduchosti** – pochopení a programování je poměrně jednoduché, proto pro jednodušší aplikace jsou stále výhodnější volba
- **Nákladů** – reléová automatika je stále mnohem levnější než pokročilé systémy ovládané například programovatelným automatem

### 2.1 Elektromechanické relé

Elektromechanické relé je součástka, která obsahuje elektromagneticky ovládané kontakty. Relé je základním prostředkem pro ovládání elektrické energie, i přes to že je v dnešní době vytlačováno polovodičovými součástkami, je stále hojně používáno. Na rozdíl od polovodičových součástek relé obsahuje galvanické oddělení řídicího a řízeného obvodu. [22, 24]

### 2.1.1 Popis relé a jeho činnosti

Relé se skládá z cívky (1), z jádra z magneticky měkké oceli (2), pohyblivé kotvy (3), pružných kontaktů (4) a místa připojení ovládaného zařízení (viz. Obr. 29). [22, 24]



Obrázek 29 Princip činnosti relé, vlevo relé v klidovém stavu, vpravo relé po vybuzení cívky elektrickým proudem [24]

Po přivedení proudů na cívku relé se v ní vytvoří magnetický obvod, který začne přitahovat kotvu a tím pádem dojde k sepnutí nebo rozepnutí kontaktů, záleží na daném provedení relé. Kontakty mohou být přepínací, spínací nebo rozepínací a mohou být v počtu jeden až pět svazků. [22, 24]

Cívka relé bývá konstruována na různá napětí 3 V, 6 V, 12 V, 24 V nebo 230 V, popřípadě až 400 V. Zároveň může být konstruována na stejnosměrné nebo střídavé napětí. [22, 24]

Podle funkce můžeme relé dělit na relé zpožděním přitahem, zpožděním odpadem, pomocná, regulační, impulzní, kmitavá, programovatelná a další podle oblasti využití. [24]

## 2.2 Časové relé

Časová relé jsou zařízení, která slouží k řízení a časování událostí v elektrických obvodech. Typickou aplikací časových relétek je zpožděné vypnutí ventilátoru v koupelně.[26]

### 2.2.1 Princip časového relé a jeho činnosti

Časové relé stejně jako klasické relé obsahuje cívku a spínací nebo rozpínací kontakty, navíc však ještě obsahuje elektrický obvod, který zajišťuje časování.

Tak jako klasické relé se i časové relé vyrábí pro stejnosměrné a střídavé napětí v několika hodnotách, nejčastěji 12 V, 24 V, 48 V nebo 230 V. [26]

### 2.2.2 Funkce časových relé

Časové relé se vyrábí buď to jako jednofunkční nebo multifunkční. Jednofunkční časové relé obsahuje jen jednu definovanou funkci, zatímco multifunkční časové relé má funkcí více a výběr funkce závisí na jeho použití. [26]

Nejčastější funkce [26]:

- **Zpožděný rozběh** – kontakty se sepnou/rozepnou až po uplynutí nastaveného času
- **Zpožděný návrat** – kontakty se sepnou/rozepnou ihned a po uplynutí nastaveného času se rozepnou/sepnou
- **Cyklovač** – kontakty spínají/rozepínají v pravidelných cyklech

### 3 OBECNÝ POSTUP PŘI NÁVRHU A REALIZACI LOGICKÝCH OBVODŮ

Požadavky na chování logického obvodu jsou nejčastěji popsány pravdivostní tabulkou, která nám dá informace o stavech vstupních a výstupních proměnných. Požadavky také mohou být popsány algebraicky pomocí booleovské algebry, popřípadě písemně nebo slovně. Jsou-li požadavky popsány pouze písemně nebo ústně, je důležité si správně určit počet vstupních a výstupních proměnných a sestavit si pravdivostní tabulku na základě požadovaného chování. Z pravdivostní tabulky si sestavíme logickou funkci. Logickou funkci si můžeme sestavit ve dvou tvarech, a to buď konjunktivním nebo disjunktivním. Získaná funkce je sice správná, ale většinou zbytečně složitá, proto je potřeba využít jednu, z dříve popsaných minimalizačních metod (kapitola 1.3) a funkci zjednodušit. Pro samotnou realizaci logických obvodů máme několik možností, obvody můžeme realizovat jako kontaktní, tj. za pomoci relé, tlačítek, spínačů, stykačů apod. nebo jako bezkontaktní pomocí integrovaných číslicových obvodů, jednočipových mikropočítačů nebo programovatelných automatů. [1, 12, 23]

#### 3.1 Kontaktní realizace logických obvodů

V případě kontaktní realizace logických obvodů jsou pro realizaci jednotlivých logických funkcí použity spínací a rozpínací kontakty. Kontakty mohou být uvedeny do aktivního stavu buď to za pomoci mechanických prvků jako spínačů nebo tlačítek nebo za pomoci elektro-mechanických prvků jako jsou relé nebo stykače. [1, 15]

Relé a stykače jsou ovládaný elektromagnetem, kdy při vybuzení cívky elektrickým proudem dojde k přitažení kotvy a sepnutí nebo rozepnutí kontaktů. Relé jsou využívány ke spínání malých výkonů, zatímco stykače ke spínání velkých výkonů. [1, 15]

Reléové obvody se značí za pomoci kontaktních schémat, ta jsou prezentována pomocí kontaktů, kdy přes ně prochází proud mezi dvěma póly zdroje. [1, 15]

Značení kontaktů ve schématech je dáno normami, značení je znázorněno v klidovém stavu. Spínač a tlačítka jsou značeny pomocí velkého písmena S. Relé, stykače a jejich kontakty pomocí velkého písmena K. [1, 15]

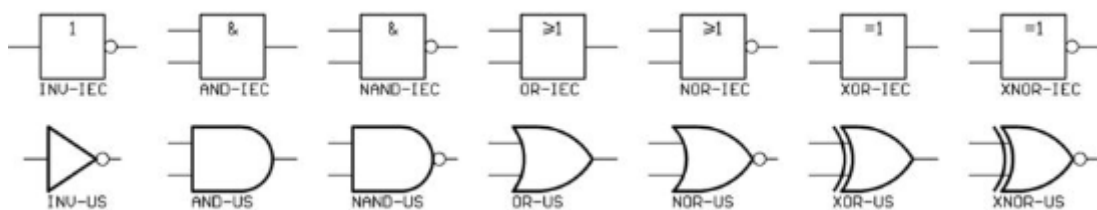
### 3.2 Bezkontaktní realizace logických prvků

Pro bezkontaktní realizaci se využívá polovodičových prvků, ze kterých jsou realizovány integrované obvody, různé moduly a systémy. [1, 15]

#### Pevně programované logické řízení

Logické funkce jsou realizovány jako integrované obvody pomocí polovodičových prvků jako jsou diody, tranzistory, tyristory apod. Integrované obvody vykonávají funkci, která je pevně daná a nelze ji měnit bez fyzické změny zapojení integrovaného obvodu. Každá logická operace je tak prováděna pomocí pevně daného hradla, kdy je funkci nelze změnit. [1, 15]

Obvody jsou zakresleny pomocí blokových schémat, každá logická funkce má svoji značku, která je dána normou. [15]



Obrázek 30 Značky logických funkcí dle norem IEC a americké ASA [23]

#### Volně programovatelné logické řízení

U volně programovatelných logických zařízeních se využívá programovatelných automatů zkráceně PLC. Jedná se o „počítač“ doplněný o programovatelné vstupy a výstupy. [1, 23]

Logický obvod se realizuje programově a můžeme ho v průběhu měnit. Program můžeme psát v několika jazycích definovaných mezinárodní normou. Mezi základní jazyky patří:

- **Jazyk symbolických instrukcí** – strojově orientovaný jazyk, v dnešní době málo používaný [1, 23]
- **Jazyk kontaktních schémat** – grafický jazyk založený na kontaktních schématech [1, 23]
- **Jazyk blokových schémat** – grafický jazyk, ve kterém jsou logické operace popsány značkami blokových schémat [1, 23]
- **Jazyk strukturovaného textu** – textový jazyk, podobný vyšším programovacím jazykům [1, 23]

## **II. PRAKTICKÁ ČÁST**

## 4 ÚVOD DO PRAKTICKÉ ČÁSTI

Cílem praktické části práce bylo navrhnout a realizovat laboratorní úlohu demonstrující praktické využití reléové automatiky. Úloha pak bude sloužit jako podpůrný výukový nástroj v rámci předmětu Technické prostředky automatizace, který je součástí studijního plánu Fakulty aplikované informatiky, Univerzity Tomáše Bati ve Zlíně. Předmět je zaměřen na využití různých prostředků v automatickém řízení. Od indukčních, kapacitních a dalších typů snímačů, přes různé akční členy jako jsou různé typy motorů, až po prostředky, které slouží k ovládání elektrické energie, kam spadají i relé. Student získá znalosti o základech techniky pro realizaci systémů, seznámí se s teoretickou podstatou techniky, pozná šíři tohoto oboru, naučí se je aplikovat a používat.

Vzhledem k praktickému využití výše uvedené experimentální úlohy bylo nutné vytvořit i vhodné zadání, a to s ohledem na časovou dotaci daného cvičení, proto po konzultaci s vedoucím práce byla úloha koncipována na dvě samostatná pracoviště. Pracoviště, které prezentuje úlohy aplikující výkonová relé a pracoviště zaměřené na ukázkou úloh s časovými relé. Správnost jednotlivých návrhů zapojení v rámci jednotlivých úloh byla ověřena pomocí simulací a samotná funkčnost praktickým zapojením, ze kterého byl zpracován i ukázkový protokol.

Realizovaná pracoviště musela být z pohledu konstrukce jednoduchá a umožňující rozšíření. Současně musel být dodržen jednotný vzhled konstrukčního provedení v rámci dané laboratoře.

V této úloze nepůjde o navrhování jednotlivých obvodů, ale pouze o ověření funkčnosti již navržených zapojení. Student by si z měření měl odnést základní principy, jak fungují výkonová a časová relé a jejich možnosti použití. Z důvodu přehlednosti byla samotná úloha rozdělena na dvě části, a to na výkonová relé a časová relé, tím pádem mohou probíhat měření na obou záraz. Při návrhu úlohy byl brán zřetel na časovou náročnost, tak se vše dalo zvládnout během dvou vyučovacích hodin.

## 5 AKTUÁLN STAVE STÁVAJÍCÍCH ÚLOH

Před návrhem nových laboratorních úloh zaměřených na praktickou ukázkou využití reléové automatiky, viz kap. 4, bylo nejprve nutné se seznámit s aktuálním stavem stávajících úloh. Bylo zjištěno, že laboratoř předmětu Technické prostředky automatizace byla historicky vybavena úlohou demonstrující reléovou automatiku, jak je zřejmé i z dochovaného panelu na obrázku 31. Z výbavy panelu se našla pouze dvě výkonová relé na 24 V AC (střídavé napětí), která byla bez instalačních patic a bohužel v nefunkčním stavu. Jiná zařízení související s touto úlohou nebyla nalezena, a to včetně původního návodu. Na základě uvedeného bylo konstatováno, že daná laboratoř zcela postrádá úlohy, které by prezentovaly využití reléové automatiky. Bylo tedy nutné navrhnout a realizovat pracoviště od základu, včetně nových zadání úloh. Jak již bylo popsáno v kap. 4, současně musí být zachován jednotný vzhled pracovišť v rámci laboratoře, a to z pohledu konstrukčního provedení, v tomto případě tedy panelové, jak lze na ukázkou vidět i na obrázku níže. Po konzultaci s vedoucím práce bylo rozhodnuto, že k tomu účelu je možné využít i stávající torzo panelu, viz obrázek 31.



Obrázek 31 Původní stav panelu pro výkonová relé



## 6 VÝBĚR VHODNÝCH ZARÍŽENÍ A SOUČÁSTEK

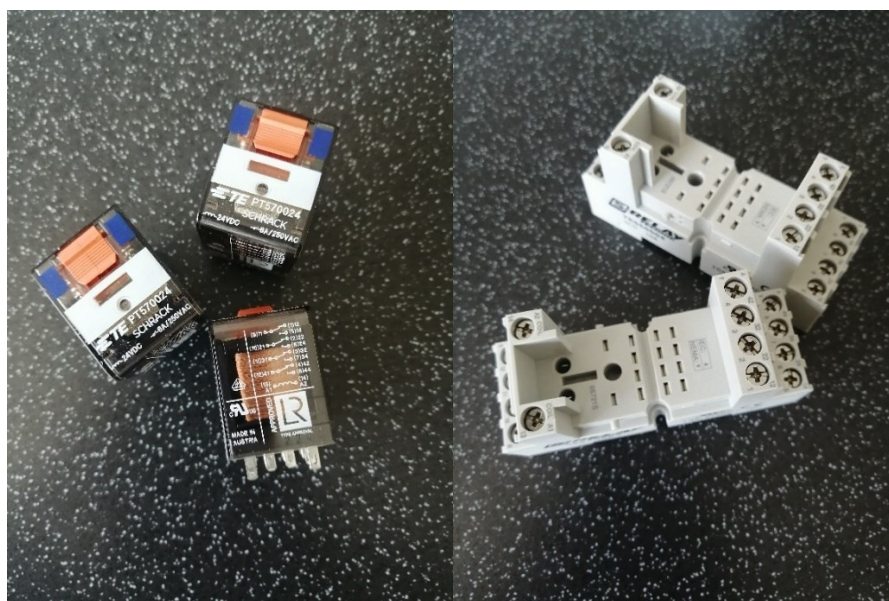
Firem zabývajících se prodejem zařízení a příslušenství v oblasti reléové automatiky je na současném trhu mnoho, proto byl výběr vhodného dodavatele konzultován s vedoucím práce. Doporučena byla společnost Schrack Technik, která patří mezi přední výrobce v oblasti energetických, datových sítí a rozvodů. Dalším důvodem výběru je dlouholetá spolupráce této společnosti s Univerzitou Tomáše Bati ve Zlíně a její zastoupení přímo ve Zlíně. V případě potřeby technické podpory nebo řešení reklamace je dostupnost dodavatele, a to dle mého názoru, je zcela zásadní.

Dále bylo rozhodnuto, že nově vznikající úlohy budou napájeny 24 V DC (stejnoseměrný proud), tj. dovoleným dotykovým napětím, a to z bezpečnostních důvodů, aby se předešlo úrazu elektrickým proudem.

Je nutné poznamenat, že níže vybraná zařízení jsou určena pro instalaci na DIN (lišta dle standartu Německého institutu pro normy a standardizace) lištu, tj. kovová nosná lišta normalizovaného tvaru a rozměrů, která je určena pro elektrotechnické instalace.

### 6.1 Výkonové relé a patice

Jako výkonové relé bylo vybráno relé PT 4P/6A, 24 V DC (viz obrázek 32, vlevo), jedná se tedy o relé na 24 V stejnosměrných a jmenovitý proud je 6 A. Relé má 4 kontakty, které mohou sloužit jako spínací nebo rozpínací podle zapojení. Samotné relé se osazuje do patice pro relé RS, 14 pinů, 10 A (viz obrázek 32, vpravo), která se nasouvá DIN lištu.



Obrázek 32 Výkonové relé PT 4P/6A, 24 V DC a patice pro relé RS, 14 pinů, 10A

## 6.2 Časové relé

Jako časové relé bylo vybráno relé 12-240 V AC/DC, 1P, (viz obrázek 33) jedná se o multifunkční časové relé na stejnosměrné/střídavé napětí v rozsahu 12-240 V DC/AC. Relé má pouze jedny kontakty, které mohou být využity jako spínací nebo rozpínací, ale pro ověření navržených schémat je to dostačující.



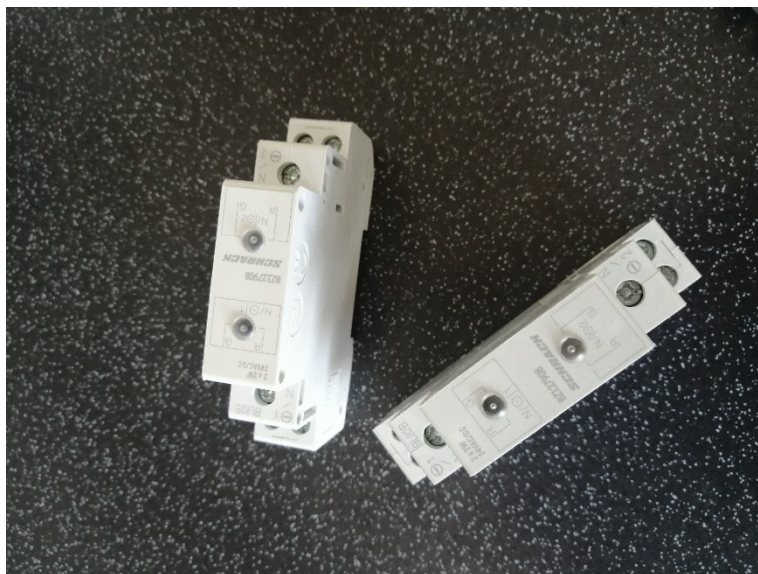
Obrázek 33 Multifunkční časové relé 12-240 V AC/DC, 1P [27]

Časové rozsahy zvoleného relé:

- 1 s (rozsah od 50 ms až do 1 s)
- 10 s (rozsah od 1 s až do 10 s)
- 1 min (rozsah od 3 s až do 1 min)
- 10 min (rozsah od 30 s až do 10 min)
- 1 h (rozsah od 3 min až do 1 h)
- 10 h (rozsah od 30 min až do 10 h)
- 100 h (rozsah od 5 h min až do 100 h)

## 6.3 Instalační LED signálka

LED signálka nám slouží namísto akčních členů, jako jsou například motory, pro simulaci chodu stroje. Respektive místo toho, aby se nám rozjel motor se nám rozsvítí LEDka. Vybraná LED signálka je dvojitá a dvoubarevná (viz obrázek 34) čili má 2 LEDky na jednom modulu, každá LEDka může svítit buďto červeně nebo zeleně, dle zapojení. Modul je dimenzován na napětí v rozmezí 12-24 V AC/DC.



Obrázek 34 Instalační LED signálka dvojitá, dvoubarevná, 12-24 V AC/DC

#### 6.4 Instalační tlačítko

Vybrané tlačítko (viz obrázek 35) má dva kontakty, jedny jsou v normálním stavu rozepnuty a druhé kontakty jsou normálním stavu sepnuty, tím pádem můžeme tlačítko využít jako spínací nebo rozpínací podle toho, jak ho zapojíme. Tlačítko je dimenzováno na jmenovitý proud 16 A.



Obrázek 35 Instalační tlačítko, 16 A, 1Z+1R (1NO+1NC), 230 V AC

## 6.5 Instalační jistič

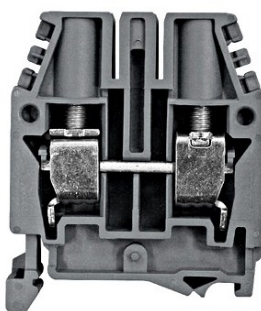
Jistič (viz obrázek 36) nám bude sloužit jako ochrana před případným přetížením nebo zkratu, ale také jako hlavní vypínač, aby se pořád nemusel vypínat napájecí zdroj, který není součástí samotné desky. Jistič je typu B, to znamená že přeruší obvod při cca tři až pěti násobku jmenovitého proudu. Tyto jističe se běžně používají jako jištění zásuvkových a světelných okruhů v domácnostech. Zvolený jistič má jmenovitý proud 2 A a spínací schopnost 6 kA.



Obrázek 36 Instalační jistič 6 kA, B 2 A, 1P

## 6.6 Řadové svorky

Řadové svorky (viz obrázek 37) nám poslouží k vytvoření uzlů a rozvedení kabeláže po desce. Vybrané svorky umožňují připojení vodičů až o průřezu 4 mm, což je pro naše potřeby plně dostačující, veškerá kabeláž je dělána z laněných vodičů o průměru 1 mm.



Obrázek 37 Řadová svorka CBC.2 šedá, 2,5mm<sup>2</sup> [28]

## 7 NÁVRH ZAPOJENÍ VYBRANÝCH OBVODŮ A OVĚŘENÍ JEJICH FUNKČNOSTI POMOCÍ SIMULAČNÍHO PROGRAMU

Hlavním kritériem při návrhu jednotlivých zapojení byla časová náročnost, tak aby se vše dalo stihnout během dvou vyučovacích hodin. Po domluvě s vedoucím práce, jsme se dohodli na tom, že bude lepší udělat více jednodušších zapojení, než jedno složitější, a to z důvodu, aby každý student po seznámení s úlohou byl schopný dle zadaných schémat vše zapojit v časovém rozmezí a odnést si z měření znalosti funkcionality relé a navržených obvodů.

Jako simulační program jsem zvolil Circuit simulator, který je bezplatný, online, je přehledný a dobře se s ním pracuje, ale hlavním důvodem bylo to, že program mi je již známý, protože jsem se s ním setkal během výuky na Fakultě aplikované informatiky, a to v předmětu Elektrotechnika. Bohužel však Circuit simulator a ani žádný jiný bezplatný simulátor neobsahuje časová relé, a tak simulace zapojení s časovými relé nebyla možná. Po konzultaci s vedoucím práce byla správná funkce těchto zapojení ověřena pouze fyzickým zapojením na zrealizovaném panelu.

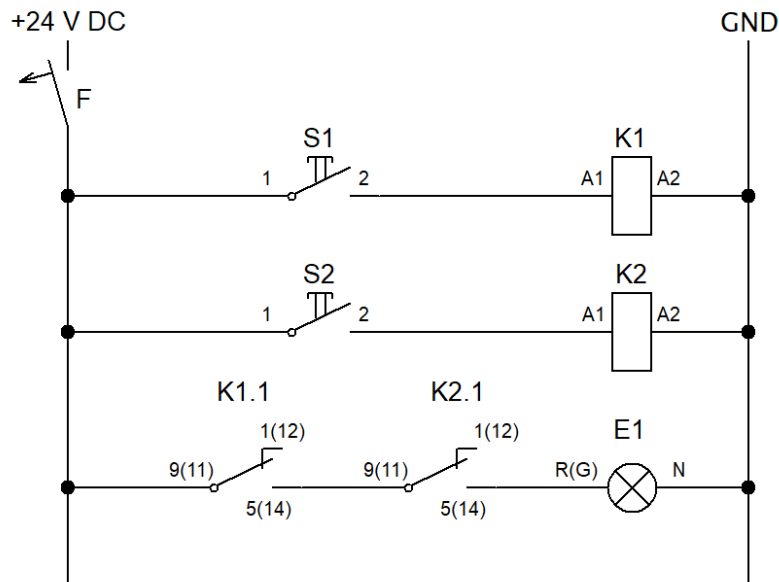
### 7.1 Návrhy zapojení obvodů pro výkonová relé

#### 7.1.1 Návrhy zapojení obvodů s logickými členy

V tomto návrhu jsem se zaměřil na ověření funkce některých logických členů popsaných v kapitole 1.2 a 1.2.1, a to přesně funkcí AND, OR, NOR, NAND a XOR. Pro návrh zapojení všech logických funkcí bylo potřeba dvou tlačítek (signál A a B), dvou výkonových relé a jedné signalizační LED (výstup Y).

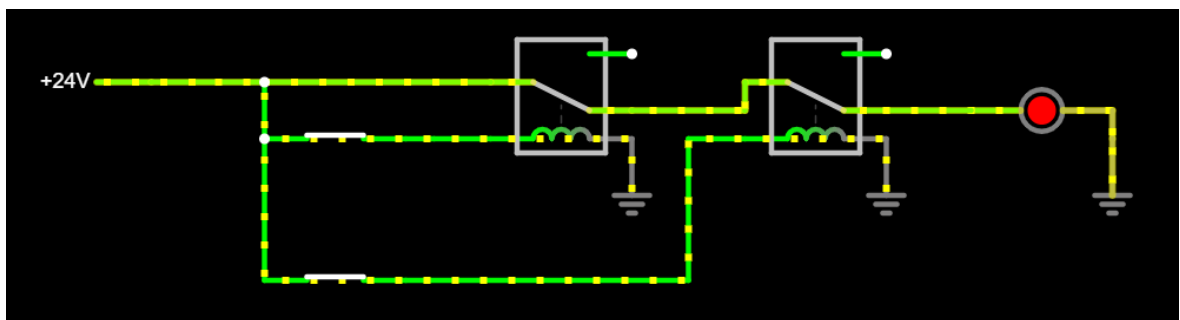
## Logická funkce AND

Chování logické funkce AND je popsáno pravdivostní tabulkou a rovnicí v kapitole 1.2. Zapojení pomocí relé a tlačítek je na obrázku 38.



Obrázek 38 Schéma zapojení funkce AND pomocí relé a tlačítek

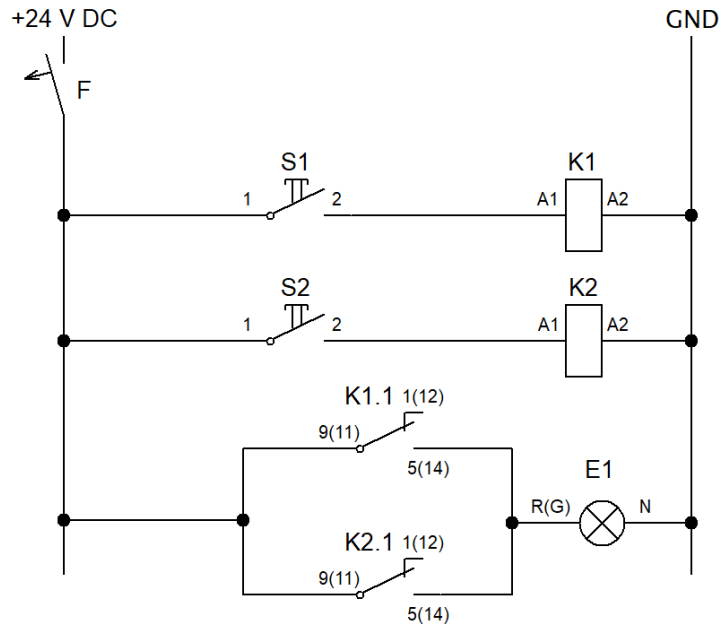
Simulaci, jak sem již dříve zmiňoval sem prováděl v programu Circuit simulator, na rozdíl od reálného zapojení sem při simulování musel použít místo tlačítek spínače, protože zmáčknout dvě tlačítka zároveň pomocí jedné myši je nereálné. Schéma zapojení funkce AND v simulátoru je na obrázku 39.



Obrázek 39 Simulace funkce AND v programu Circuit simulator

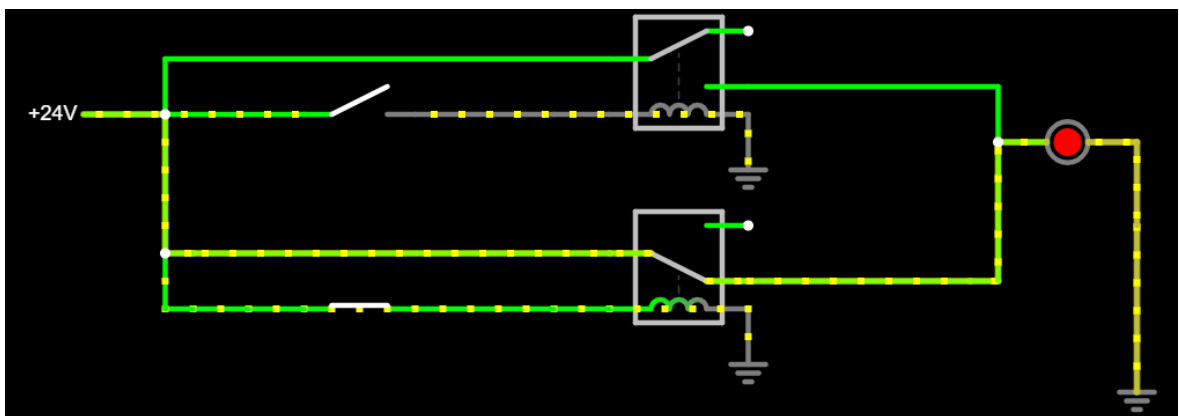
## Logická funkce OR

Chování logické funkce OR je popsáno pravdivostní tabulkou a rovnicí v kapitole 1.2. Zapojení pomocí relé a tlačítek je na obrázku 40.



Obrázek 40 Schéma zapojení funkce OR pomocí relé a tlačítek

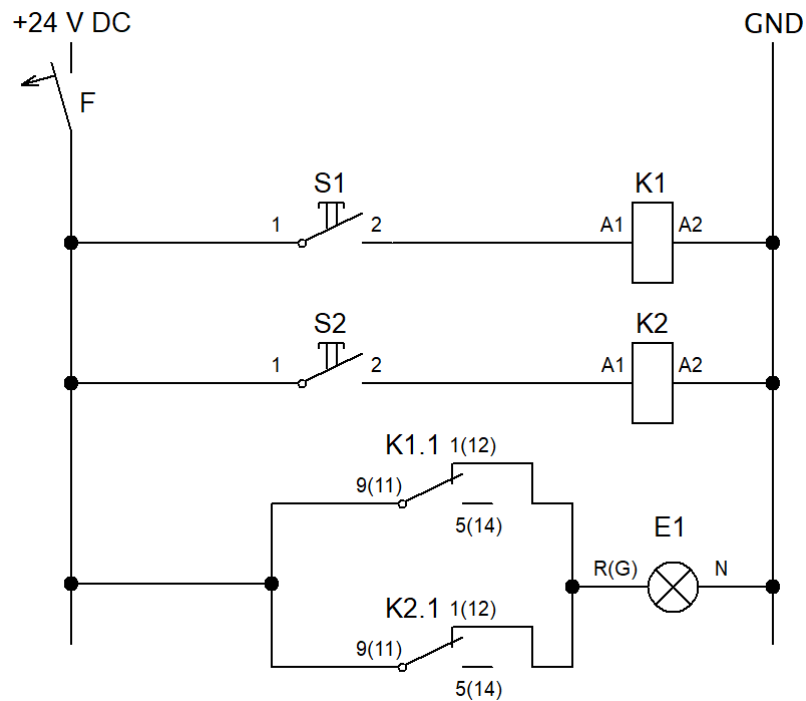
Schéma zapojení funkce OR v simulátoru je na obrázku 41, na místo tlačítek jsou opět použity spínače, pro snadnější simulaci.



Obrázek 41 Simulace funkce OR v programu Circuit simulator

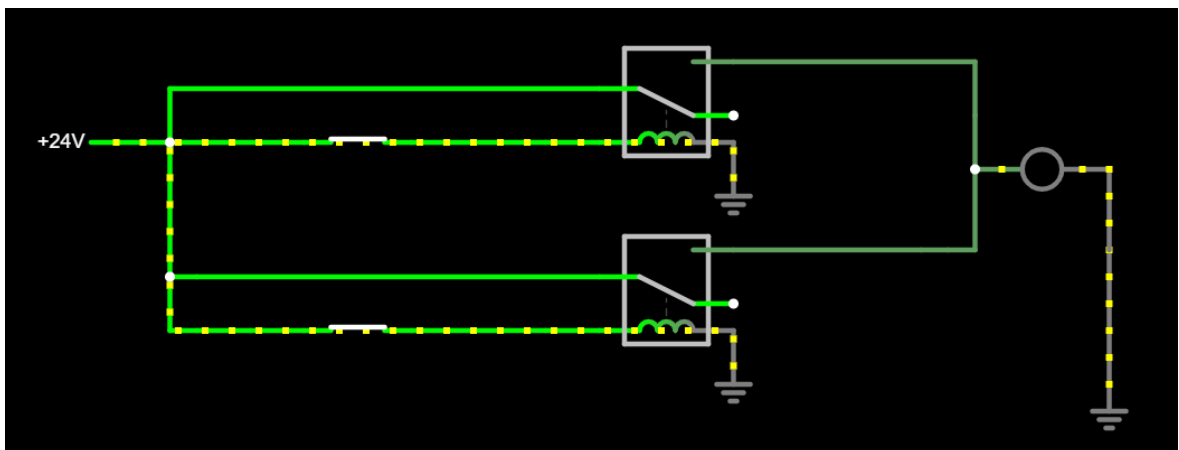
## Logická funkce NAND

Chování logické funkce NAND je popsáno pravdivostní tabulkou a rovnicí v kapitole 1.2.1. Zapojení pomocí relé a tlačítek je na obrázku 42.



Obrázek 42 Schéma zapojení funkce NAND pomocí relé a tlačítek

Pro snadnější ovládání simulace jsou zase v zapojení namísto tlačítek použity spínače. Schéma zapojení funkce NAND v simulátoru je na obrázku 43.

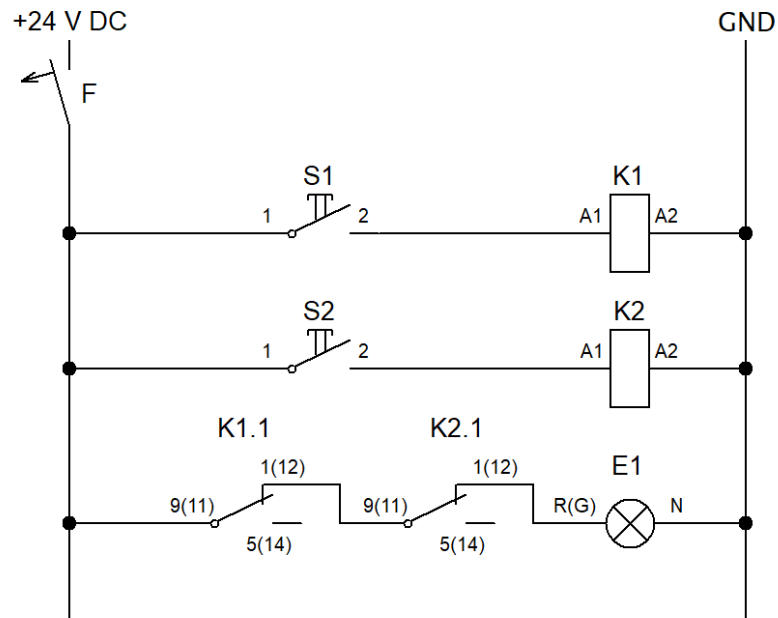


Obrázek 43 Simulace funkce NAND v programu Circuit simulator



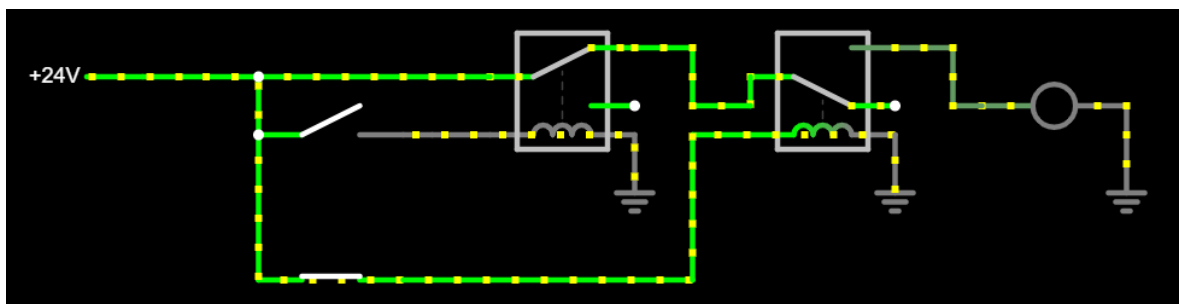
## Logická funkce NOR

Chování logické funkce NOR je popsáno pravdivostní tabulkou a rovnicí v kapitole 1.2.1. Zapojení pomocí relé a tlačítek je na obrázku 44.



Obrázek 44 Schéma zapojení funkce NOR pomocí relé a tlačítek

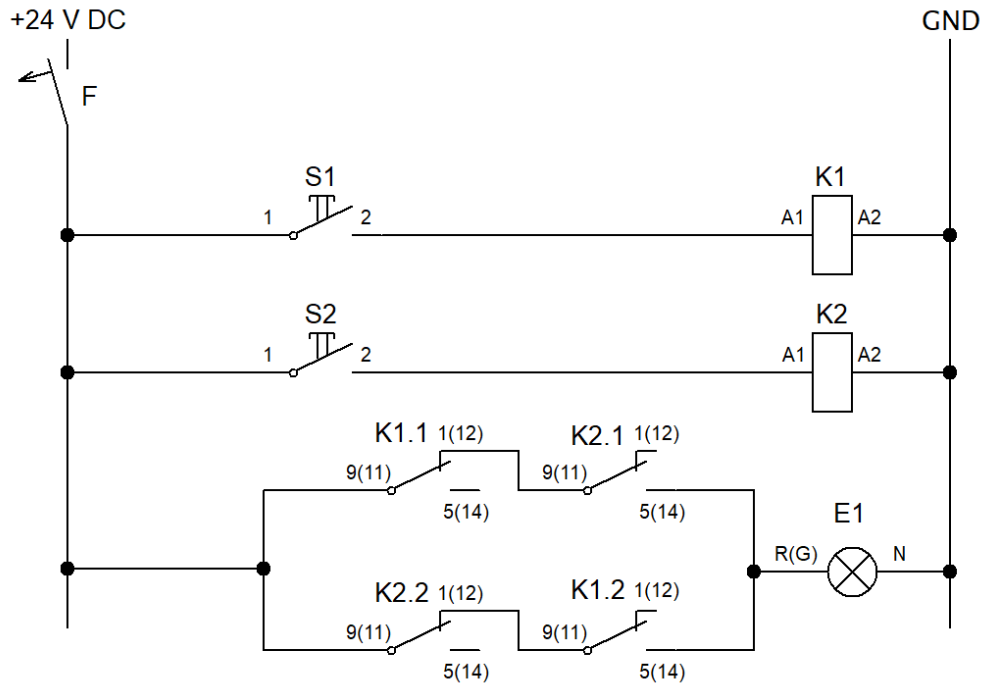
Schéma zapojení funkce NOR v simulátoru je na obrázku 45. Tlačítka jsou opět v simulaci nahrazeny spínači.



Obrázek 45 Simulace funkce NOR v programu Circuit simulator

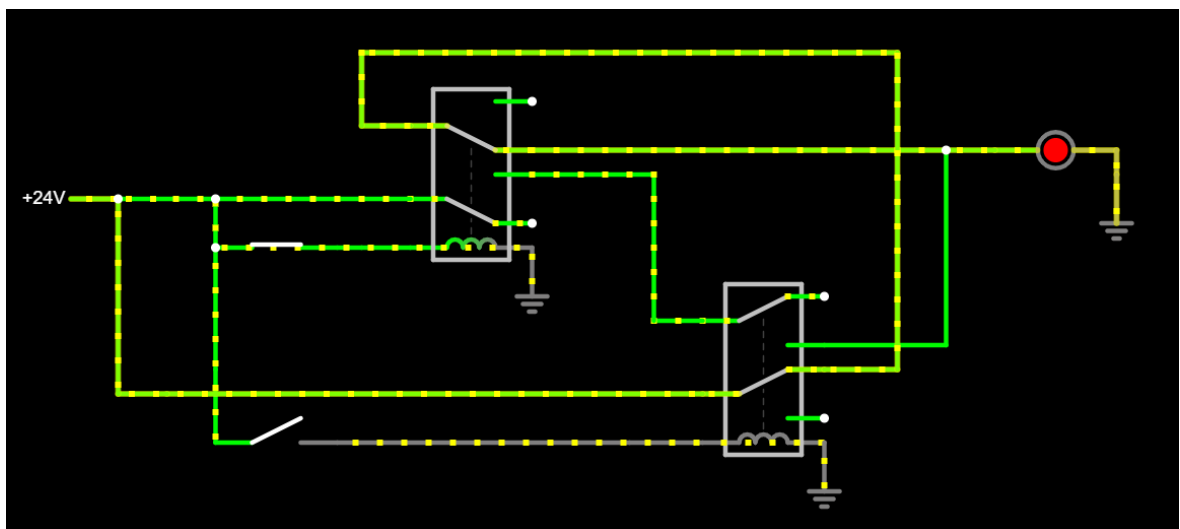
### Schéma zapojení XOR

Chování logické funkce NAND je popsáno pravdivostní tabulkou a rovnicí v kapitole 1.2.1. Zapojení pomocí relé a tlačítek je na obrázku 46.



Obrázek 46 Schéma zapojení funkce XOR pomocí relé a tlačítek

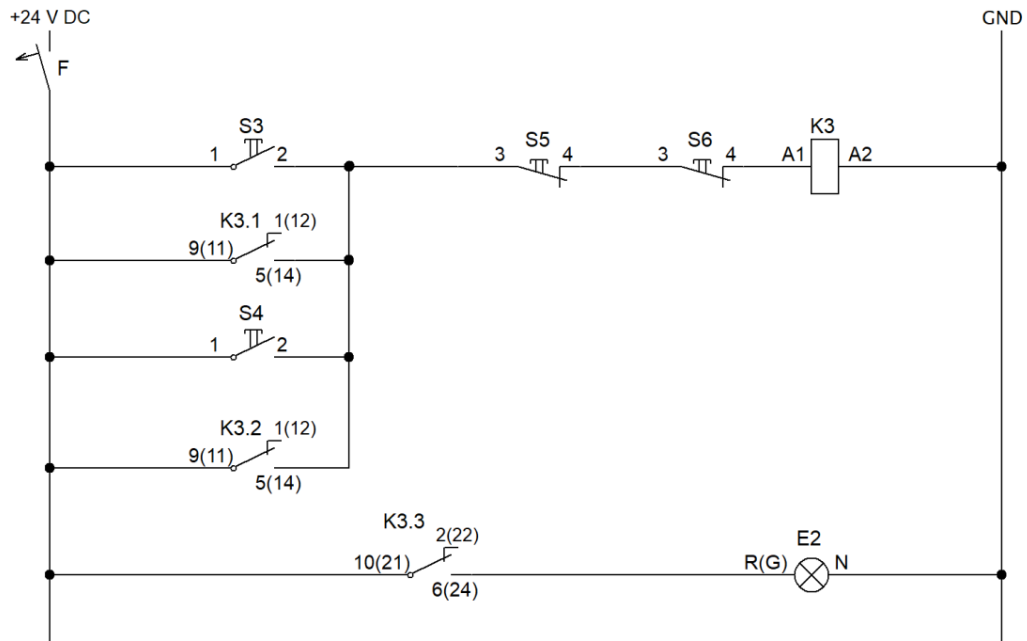
Bohužel v simulátoru nejdou kontakty relé, tak jako při kreslení schématu, takže se zapojení (viz obrázek 47) stává trochu nepřehledné, ale za to více odpovídá realitě a tomu, jak zapojení bude vypadat na samotném panelu. Tlačítka pro snazší simulaci byla opět nahrazena spínači.



Obrázek 47 Simulace funkce XOR v programu Circuit simulator

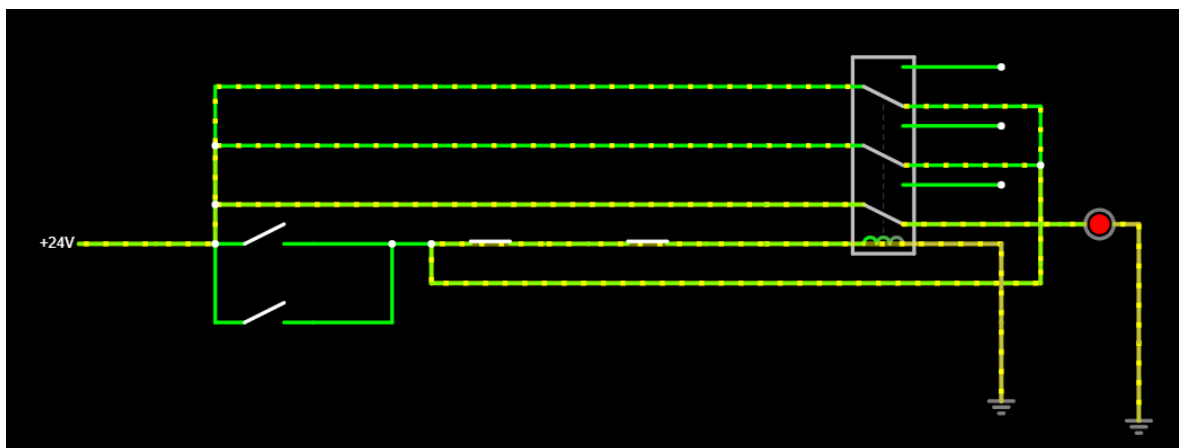
### 7.1.2 Ovládání motoru ze dvou stanovišť

Dalším návrhem zapojení je ovládání motoru ze dvou stanovišť (viz obrázek 48), kdy na každém stanovišti se nachází dvě tlačítka, jedno tlačítko (spínací) slouží jako START a druhé tlačítko (rozpínací) slouží jako STOP. Při stisku tlačítka START se spustí motor (rozsvítí se signalizační LED) a stiskem tlačítka STOP se motor vypne (zhasne signalizační LED). Na tom, z jakého stanoviště motor zapneme nebo vypneme nezáleží.



Obrázek 48 Schéma zapojení ovládání motoru ze dvou stanovišť

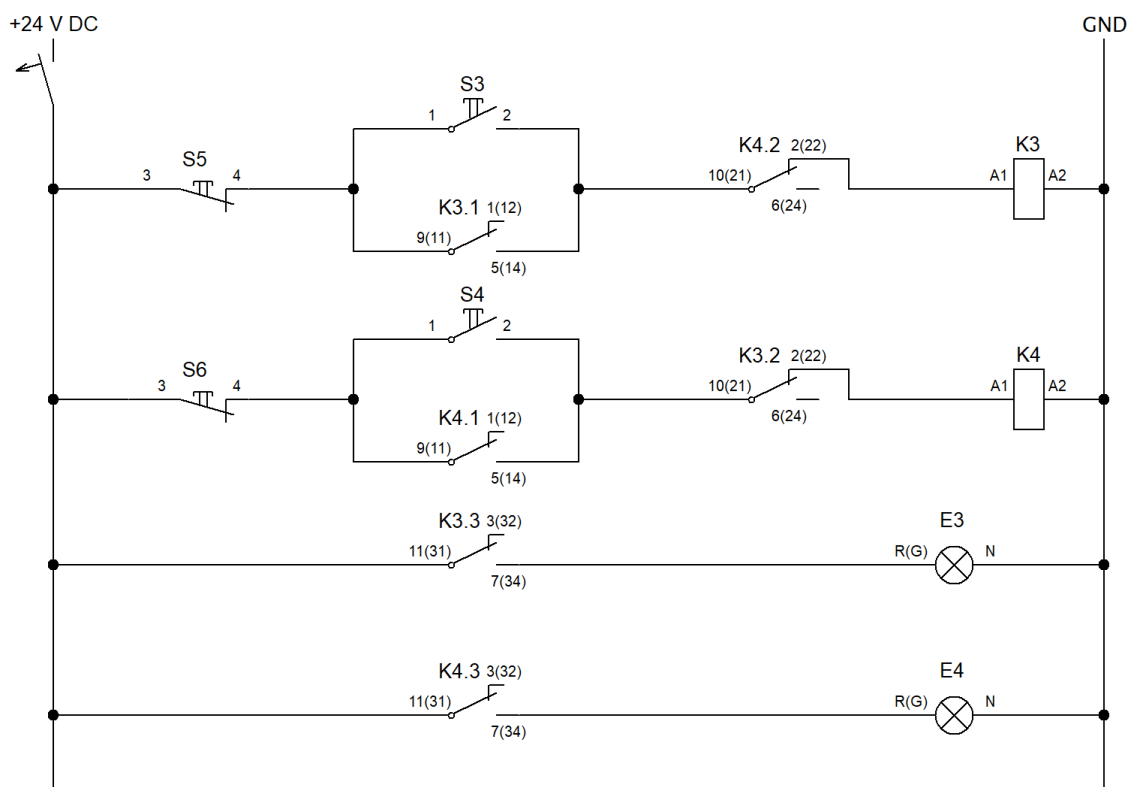
Zapojení v simulátoru (viz obrázek 49), je poměrně jednoduché. Funkčnost odpovídala slovnímu popisu úlohy.



Obrázek 49 Simulace zapojení obvodu pro ovládání motoru ze dvou stanovišť

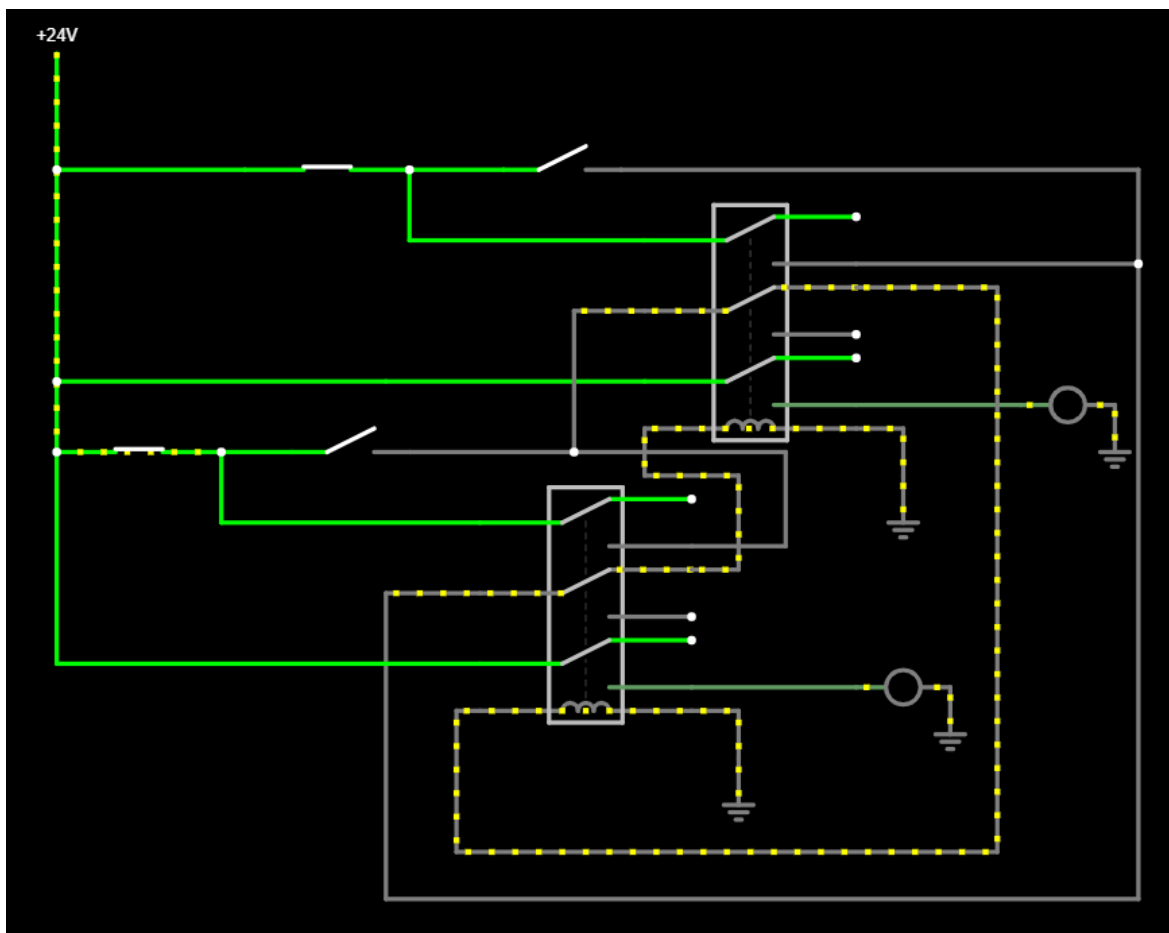
### 7.1.3 Blokace dvou tlačítek

Dalším návrhem zapojení pro výkonové relé je obvod, který blokuje dvě tlačítka navzájem (viz obrázek 50), v praxi se blokace tlačítek může využít například pro ovládání směru točení motoru, kdy se nesmí stát, že spustíme motor na obě strany zároveň. Při stisku spínacího tlačítka S3 se spustí motor a začne se točit doleva (signalizováno rozsvícením LED E3), když teď během svitu LED E3 stiskneme spínací tlačítko S4, tak se nic nestane. Stiskem rozpínacího tlačítka S5 vypneme chod motoru doleva (zhasne signalizační LED E3). Teprve teď můžeme stiskem spínacího tlačítka S4 spustit chod motoru na druhou stranu čili doprava (signalizováno rozsvícením LED E4). Během svitu LED E4 obvod zase nereaguje na spínací tlačítko S3. Chod motoru doprava vypneme stiskem rozpínacího tlačítka S6.



Obrázek 50 Schéma zapojení obvodu pro blokaci dvou tlačítek

Simulace obvodu proběhla bez problému, funkčnost odpovídala přesně zadanému popisu. Schéma napojení v simulátoru je na obrázku 51.



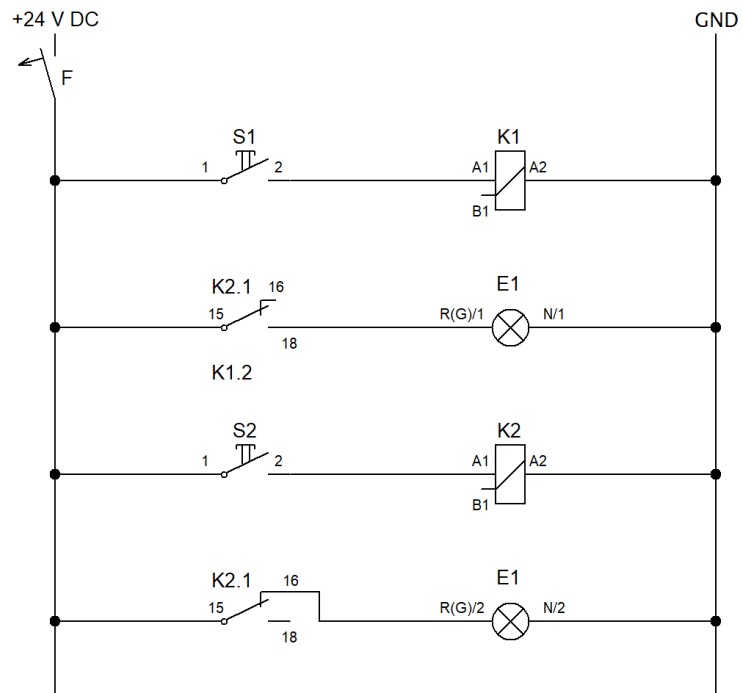
Obrázek 51 Simulace zapojení obvodu pro blokaci dvou tlačítek

## 7.2 Návrhy zapojení obvodů pro časová relé

Jak již bylo dříve popsáno v kapitole 7, program Circuit simulator, a ani žádný jiný bezplatný simulátor, neobsahuje možnost simulace časových relé a proto navržené schémata byly ověřeny jen experimentálně na sestaveném panelu.

### Obvod pro zpožděné zapínání a vypínání

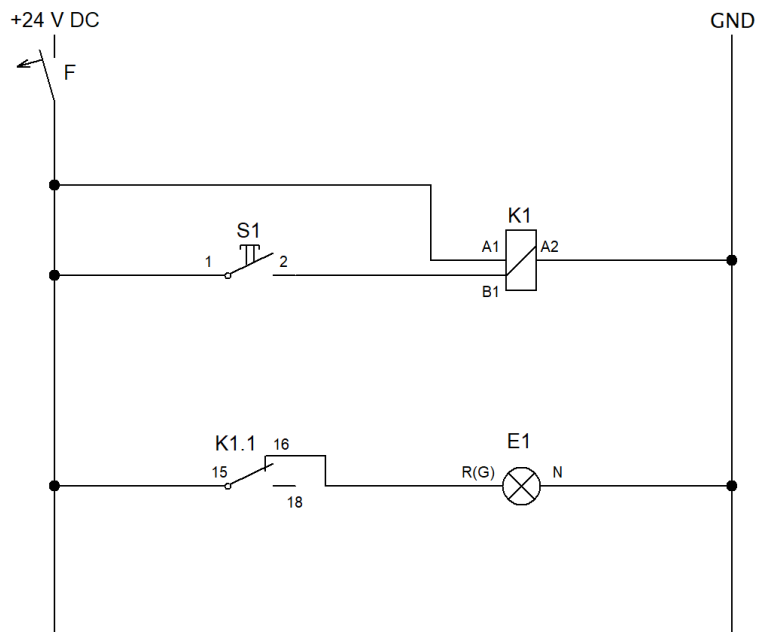
Návrh těchto obvodů vychází z reálného použití časových relé, kdy zpožděné vypnutí se používá například v koupelnách u ventilací nebo u osvětlení. Navržené zapojení je na obrázku 52. Při stisku tlačítka S1 se po nastavené době rozsvítí horní signalizační LED na modulu E1. Spodní signalizační LED na modulu E1 svítí hned po sepnutí jističe a při stisku tlačítka S2 po nastavené době zhasne. Časové rozsahy jsou popsány v kapitole 6.2.



Obrázek 52 Schéma zapojení obvodu zpožděné zapínání a zpožděné vypínání

### Obvod pro časové ovládání

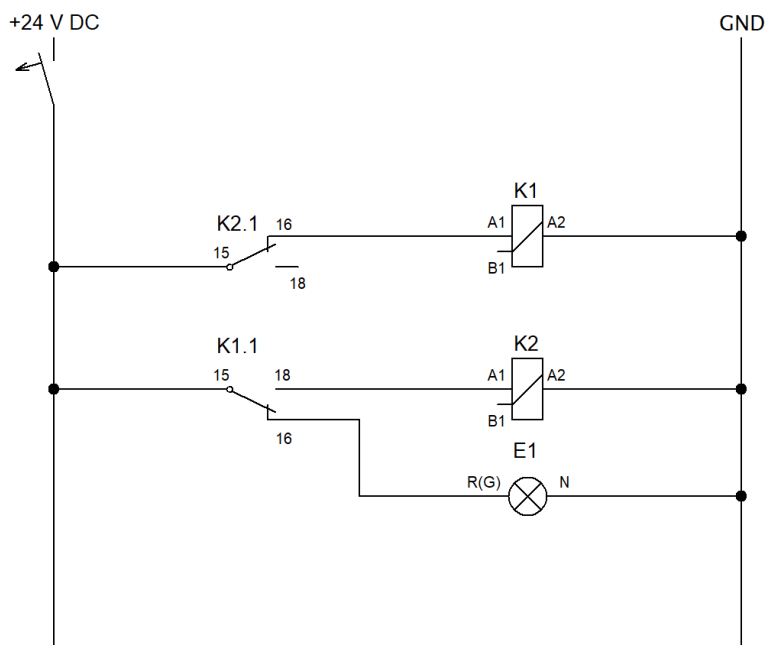
Jedná se o návrh zapojení, které slouží pro časové ovládání spotřebiče dle nastavené časové periody. Spotřebič (signalizační LED) se při stisku tlačítka zapíná na nastavenou dobu. Navrhnuté schéma zapojení je na obrázku 53.



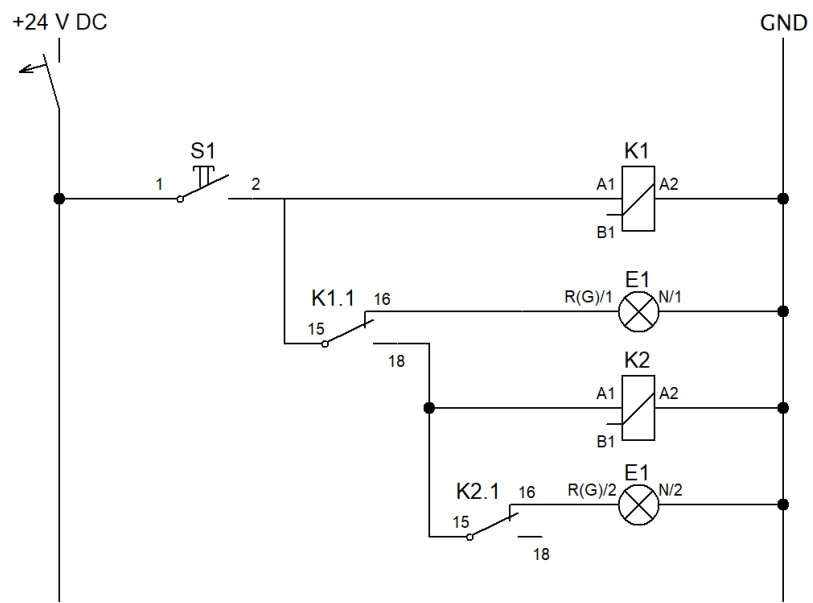
Obrázek 53 Schéma zapojení obvodu pro časové ovládání

### Obvod pro střídavé časové vypínání

Původní plán byl takový že navrhnu zapojení pro automatické střídavé vypínání a zapínání spotřebiče neboli multivibrátor (schéma zapojení viz obrázek 54), ale při samotném testování na panelu sem zjistil že časová relé se po prvním opakování začnou chovat nekorektně, po konzultaci s vedoucím a ověření správnosti zapojení jsme došli k závěru, že je třeba navrhnout jiné zapojení, a proto bylo navrženo zapojení na obrázku 55. Upravené zapojení již však není automatické. Při stisku tlačítka S1 se rozsvítí horní signalizační LED na modulu E1, zároveň se spustí odpočet nastavené doby na relé K1, po uplynutí doby horní LED zhasne a rozsvítí se LED dolní a spustí se odpočet nastavený na K2, po uplynutí doby dolní LED zhasne. Chceme-li cyklus opakovat je třeba pustit tlačítko a stisknout ho znovu.



Obrázek 54 Původní zapojení pro střídavé časové vypínání a zapínání

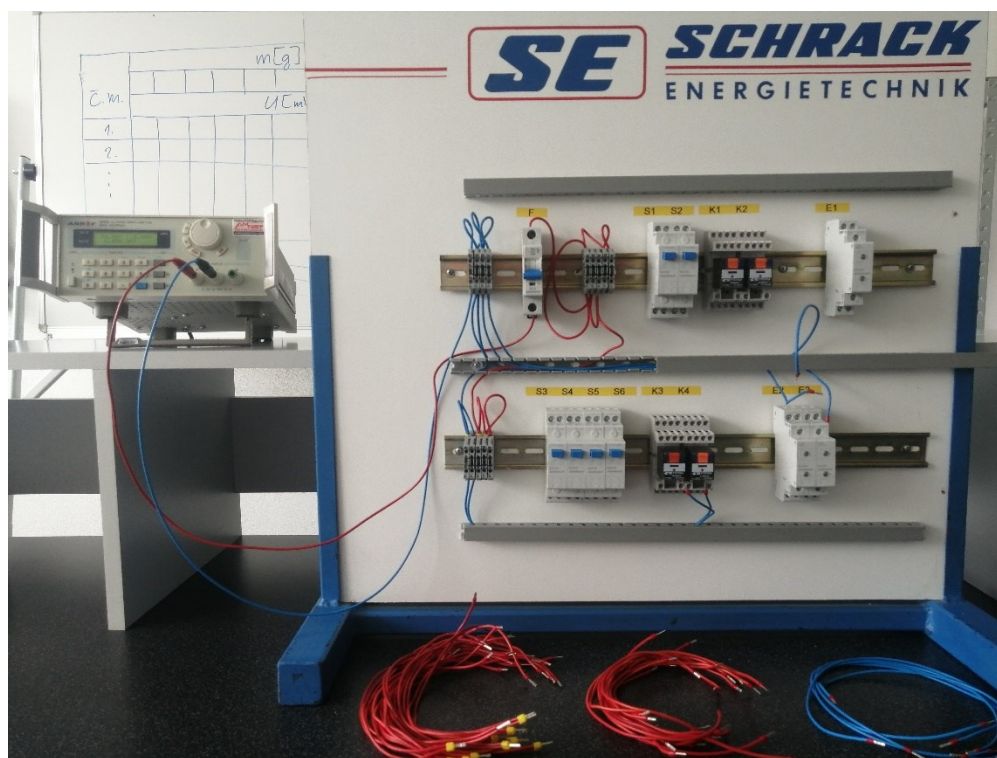


Obrázek 55 Nové zapojení pro časové vypínání



## 8 NÁVRH A REALIZACE PRACOVNÍHO MÍSTA

Pro samotnou realizaci pracovního místa pro prezentující úlohy aplikující výkonová relé, bylo využito torzo panelu z předešlé úlohy na stejné téma, jak již bylo popsáno v kapitole 5. Panel, který bude sloužit pro výkonová relé měl na sobě již přišroubované dvě DIN lišty, které jsem ponechal a samotný panel vyčistil, protože byl popsán tužkou z předešlého používání. Rozmístění součástek jsem si rozvrhl tak aby co nejlépe odpovídalo navrženým schémátům a samotné zapojení bylo co nejsnazší. Na panel jsem ještě přidal tři rozvodné kanály pro vedení vodičů, aby samotné zapojení bylo co nejpřehlednější. Do svorkovnice jsem přivedl potřebné signály a vytvořil uzly, tak aby studenti měli tohle nachystáno a mohli se hned pustit do samotného zapojování daných úloh. Samotné součástky byly ještě popsány, tak aby odpovídali schémátům, pro lepší orientaci. Celý panel je zobrazen na obrázku 56.



Obrázek 56 Panel pro výkonová relé

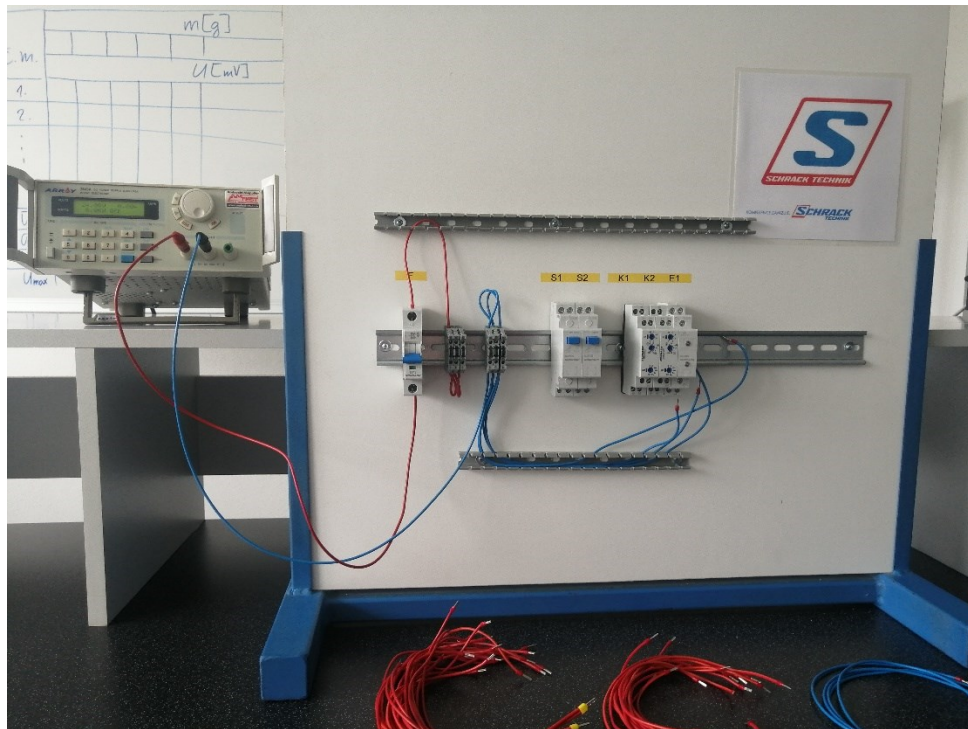
Panel je rozdělen do dvou částí, kdy horní část (horní DIN lišta), slouží zapojování a ověřování funkčnosti vybraných logických členů a dolní část (dolní DIN lišta) je myšlena pro složitější úlohy jako ovládání motoru ze dvou míst nebo blokace tlačítek. Možná je samozřejmě při zapojování i kombinace obou částí.

Pro realizaci pracoviště zaměřeného na úlohy s časovými relé, bylo nejprve nutné sehnat nějaký panel, který by odpovídal jednotné formě (viz kapitola 4). Naštěstí se v laboratoři jeden volný panel nacházel (viz obrázek 57), který mohl být za tímto účelem využit.



Obrázek 57 Panel pro úlohy zaměřené na časové relé

Panel pro časová relé, byl holý, takže prvním krokem bylo přišroubování DIN lišty, abych měl kam osazovat součástky. Rozvržení součástek zase vycházelo s navržených schémat zapojení. Na svorkovnici jsem opět rozvedl potřebné signály a vytvořil tak uzly, potřebné k zapojení všech navržených schémat a přidal dva rozvodné kanály pro kabeláž, aby zapojování bylo co nejpřehlednější. Jednotlivé součástky byly opět popsány podle navržených schémat, pro snazší orientaci. Panel je zobrazen na obrázku 58.



Obrázek 58 Panel pro časová relé

Na obou panelech se nachází jistič, který slouží jako ochranný prvek, ale také jako hlavní vypínač.

Oba dva panely jsou napájeny laboratorním zdrojem Array 3645A 0-36 V/0-3 A DC, který nám umožnuje nastavit si přesně požadovaných 24 V. Zdroj je možno vidět jak na obrázku 56 tak i na obrázku 58.

Na sestavených panelech byla otestována všechna navržená zapojení a k panelům byl vytvořen dostatečný počet propojovacích vodičů.

## 9 ZHODNOCENÍ VÝSLEDKŮ

Během simulačního ověřování navržených obvodů s výkonovými relé, nastal problém, kdy jsem místo tlačítek, musel zvolit spínače, aby simulaci bylo možno provést, změna ovšem neměla žádný dopad na funkčnost obvodu. U ověřování funkce obvodů s časovými relé nastal ovšem problém větší, kdy mnou zvolený simulační program, a ani žádný jiný bezplatný simulátor neobsahoval časová relé, a tak po konzultaci s vedoucím, obvody s časovými relé byly ověřeny jen fyzicky na zrealizovaném pracovišti.

Samotná realizace pracoviště jak pro úlohy zaměřené na výkonová relé, tak pro úlohy zaměřené na časová relé proběhla bez problémů. Největší úskalí spočívalo v rozvedení přívodních signálů do svorek a ve vytvoření dostatečného počtu uzlů, tak aby se signály dali snadno rozvést k jednotlivým komponentům dle schématu. Celé technické provedení panelu je realizováno tak, aby samotné zapojování bylo co nejjednodušší a co nepřehlednější, proto jsou na panelu osazeny i rozvodné kanály pro vodiče.

Během fyzického ověřování funkčnosti navržených schémat, jsem zjistil, že i přesto že rozvodné kanály pro vodiče slouží k lepší přehlednosti zapojení, tak ně vždy je možné nebo vhodné je využít, ale i přesto si myslím že je lepší tuhle možnost mít a nevyužít než ji vůbec nemít.

Mezi technické problémy patří životnost vodičů, kdy používáním dochází k jejich ničení, a proto bylo vodičů nachystáno více do zásoby. Dalším technický problém je životnost šroubových kontaktů, kdy během používání dochází k ničení závitů a samotné zapojování se tak stává obtížnějším. Bohužel tohle jsou problémy, kterým se nedá nijak předejít a jediným řešením je tak náhrada ať už vodičů nebo samotných komponent.

Panely byly konstruovány a navrhovány tak aby se dali kdykoliv rozšířit o další komponenty, popřípadě aby se dali rozšířit i samotné úlohy, například návrh zapojení s logickými členy se dá rozšířit o logickou funkci XNOR.

Po finanční stránce se celkové náklady na realizace vyšplhaly na zhruba 10 500 Kč s DPH, kdy největší částka padla na jednotlivé komponenty, je ovšem nutné poznamenat, že v rámci spolupráce, jak již bylo uvedeno v kap. 6, společnost Schrack Technik poskytla 50 % slevu na poptávané komponenty. Další náklady padli na spojovací materiál, DIN lišty, rozvodné kanály a vodiče. Komponenty byly nakoupeny i do zásoby, aby v případě poruch šlo vše hned vyměnit.

## 10 NÁVRHY ZADÁNÍ LABORATORNÍCH ÚLOH

### 10.1 Návrh zadání laboratorní úlohy na téma reléová automatika – výkonová relé

#### Cíl laboratorní úlohy:

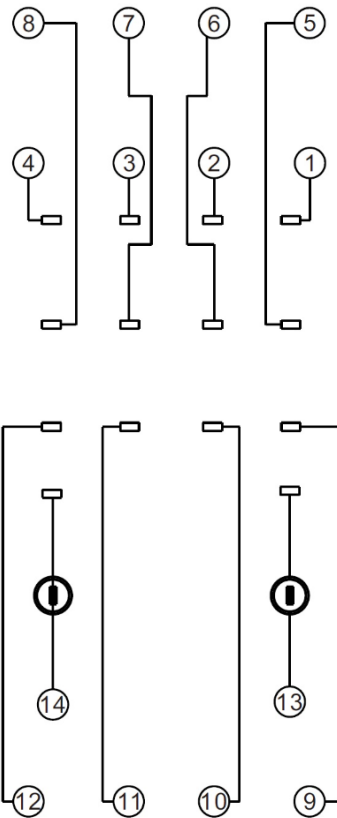
Cílem této laboratorní úlohy je seznámení se základními principy použití zapojení s relé pro průmyslovou automatizaci. Zapojení navržených schémat a ověření jejich funkčnosti dle zadaného slovního popisu.

#### Úkoly:

1. Seznámení s panelem samotným a nastudování teorie popsané níže
2. Zapojení jednotlivých schémat, před spuštěním je třeba **kontrola učitelem!**
3. Ověření funkce obvodu ve všech možných stavech a zda funkce odpovídá slovnímu popisu
4. Zpracování protokolu o provedení laboratorní úlohy

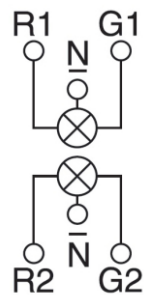
#### Popis úlohy:

Panel se skládá ze dvou DIN lišt, horní DIN lišta je myšlena pro zapojení zadání číslo jedna. Ověření funkce vybraných logických funkcí. Spodní lišta je pro zadání číslo dva a tři. Na horní liště se nachází jistič, který krom ochranné funkce slouží také jako hlavní vypínač. Na každé liště se nachází tlačítka, která mohou sloužit jako spínací i rozpínací, dle zapojení. Dále se zde nachází výkonová relé, což jsou elektromechanické prvky, které se skládají z cívky, kotvy a jednotlivých kontaktů. Po přivedení napětí na cívku vyvolá proud cívkou v magnetickém obvodu magnetický tok, ten přitažlivou silou pohne kotvou a dojde k roze-  
pnutí/sepnutí kontaktů. Jako poslední prvek, který se nachází na lištách jsou moduly se signalizačními LED. Každý modul obsahuje LED dvě a každá z nich může svítit buď to červeně nebo zeleně podle zapojení.



Obrázek 59 Zapojení kontaktů v patici relé

Kde 13 je vstup cívky A1, 14 výstup cívky A2, 9 až 12 jsou vstupy kontaktů, 1 až 4 jsou rozpínací kontakty a 5 až 8 jsou kontakty spínací.



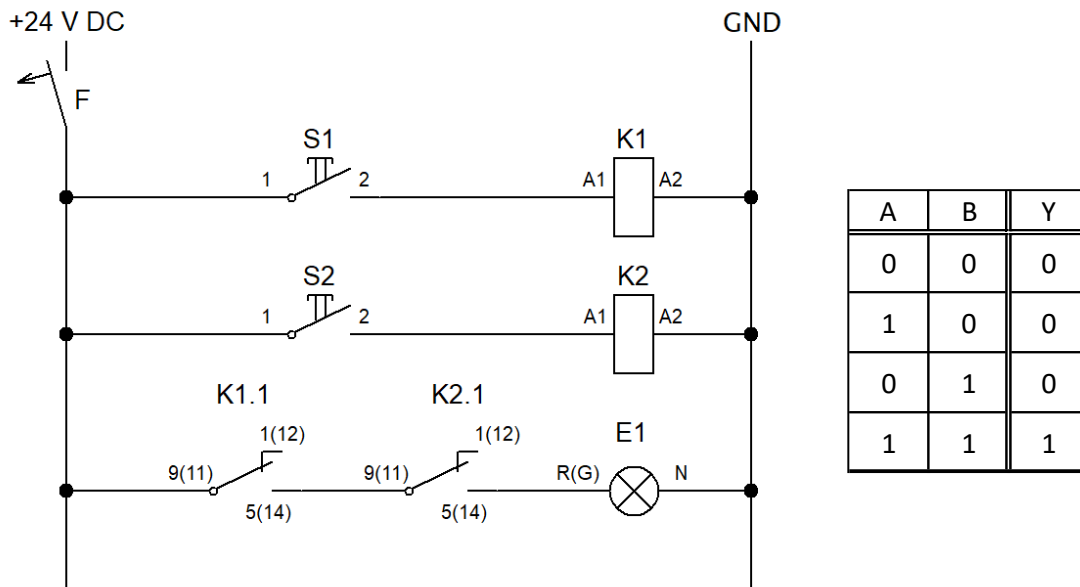
Obrázek 60 Schéma zapojení signalizačních LED

Kde R1 a G1 jsou vstupy horní LED, R2 a G2 jsou vstupy spodní LED, R a G značí barvy, kterou svítí, R je červená, G je zelená, N je výstup

**Zadání zapojení č.1: Návrhy zapojení s logickými členy**

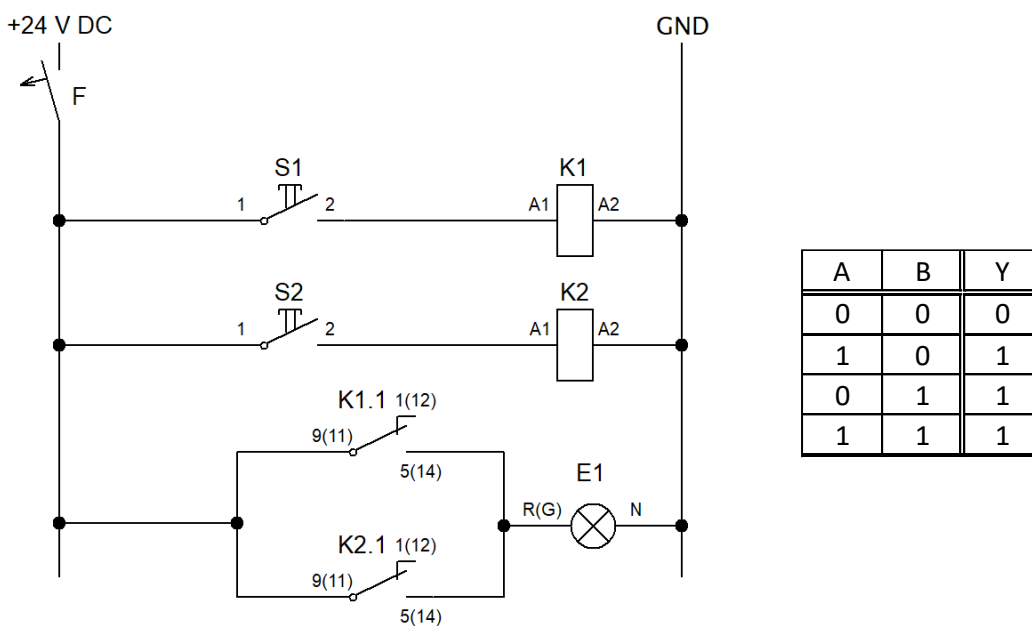
Zapojte jednotlivé logické funkce pomocí příložených schémat a ověřte jejich funkci popsanou pravdivostní tabulkou.

**Logický součin AND**



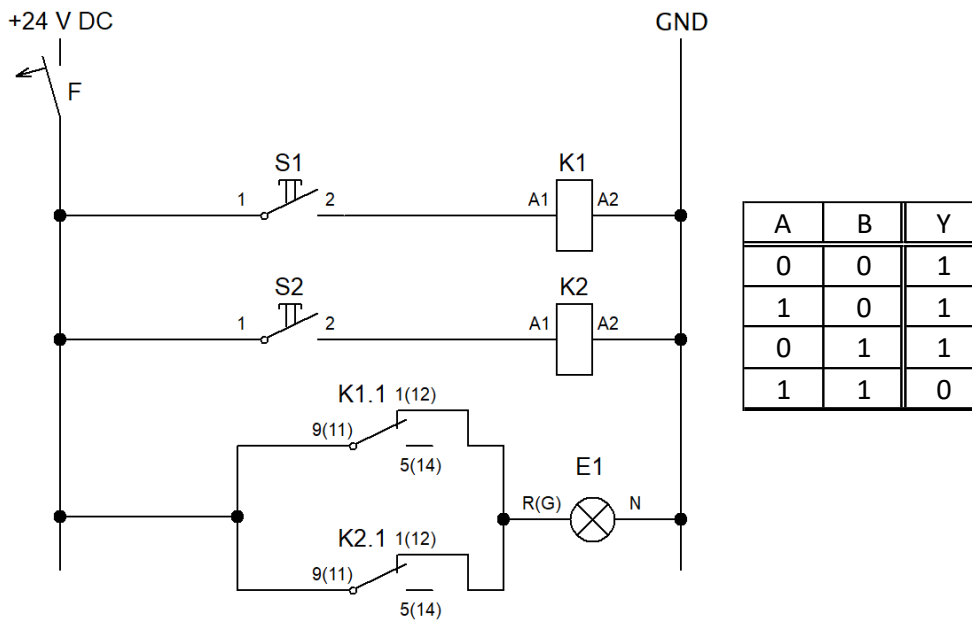
Obrázek 61 Schéma zapojení a pravdivostní tabulka funkce AND

**Logický součet OR**



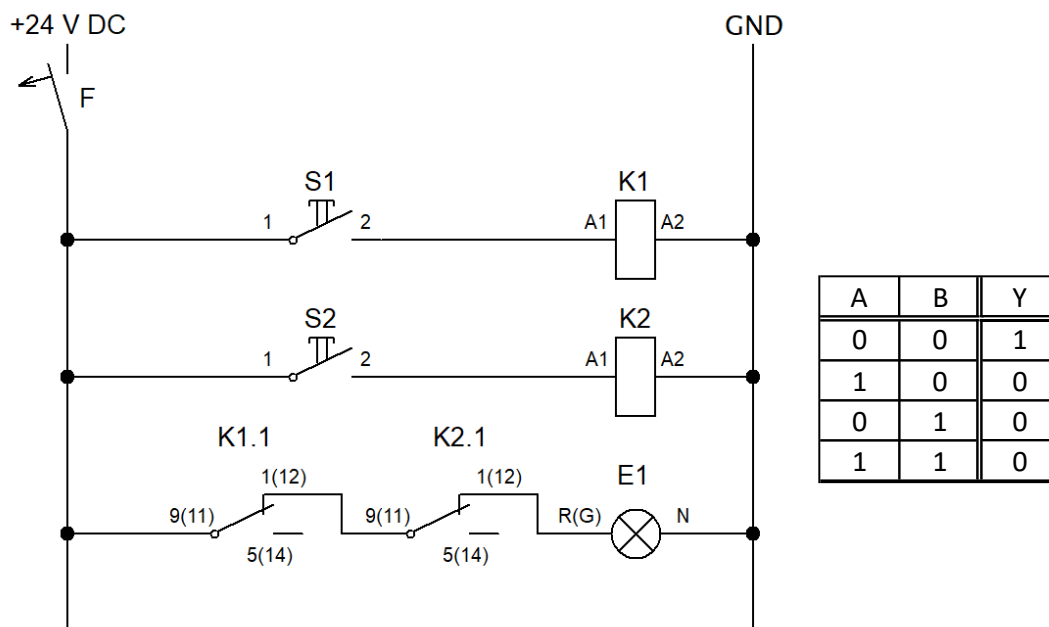
Obrázek 62 Schéma zapojení a pravdivostní tabulka funkce OR

**Negovaný logický součin NAND**



Obrázek 63 Schéma zapojení a pravdivostní tabulka funkce NAND

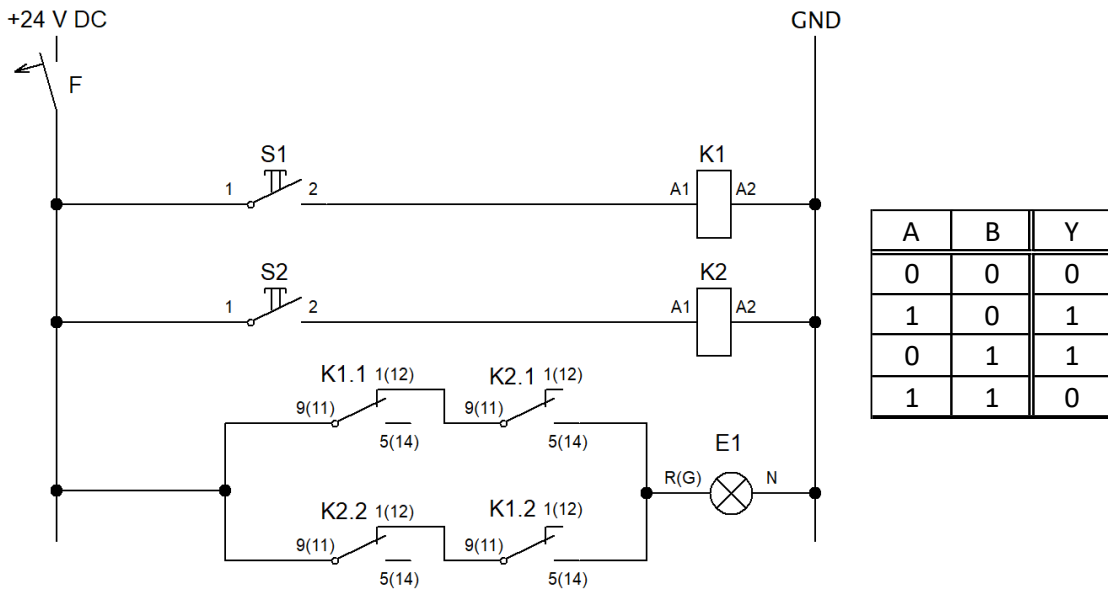
**Negovaný logický součet NOR**



Obrázek 64 Schéma zapojení a pravdivostní tabulka funkce NOR



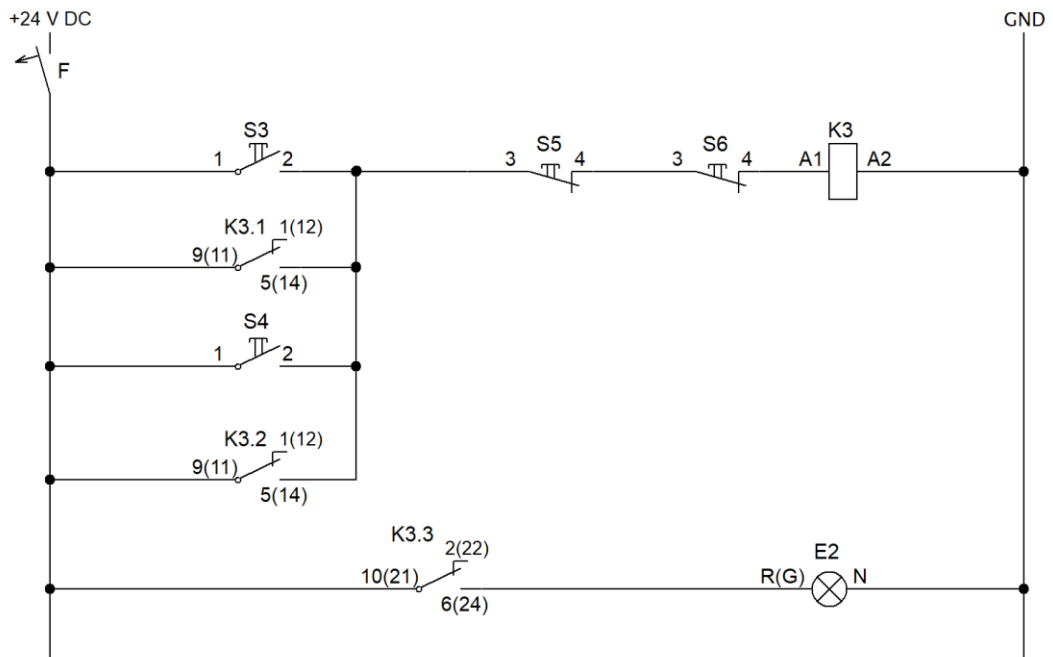
**Exkluzivní logický součet XOR**



Obrázek 65 Schéma zapojení a pravdivostní tabulka funkce XOR

**Zadání zapojení č.2: Ovládání motoru ze dvou stanovišť**

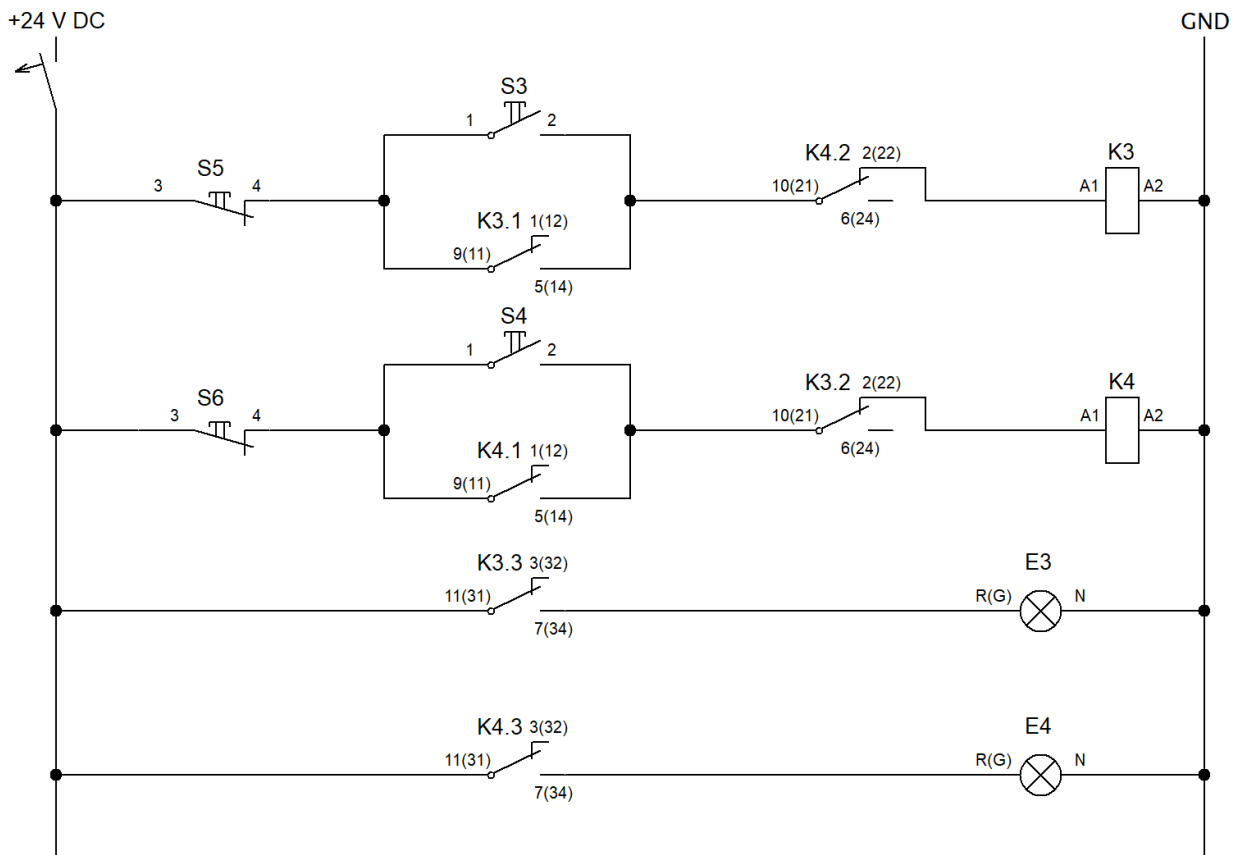
Zapojte obvod pro ovládání motoru ze dvou stanovišť, na každém stanovišti se nachází dvě tlačítka, jednu tlačítko má funkci START druhé STOP, tlačítkem START spustím motor (signalizováno svitem LED E2), tlačítkem STOP se motor vypne (signalizační LED E2 zhasne). S3 a S4 mají funkci START, S5 a S6 mají funkci STOP.



Obrázek 66 Schéma zapojení obvodu pro ovládání motoru ze dvou stanovišť

**Zadání zapojení č.3: Blokace dvou tlačítek**

Zapojte obvod, který slouží k vzájemné blokaci dvou tlačítek. Stiskem S3 se motor roztočí doleva (signalizováno svitem LED E2), během chodu motoru doleva (svitu LED E2) obvod nereaguje na stisk tlačítka S4 a S6. Stiskem tlačítka S5 se motor vypne (zhasne signalizační LED E2). Stiskem S4 se motor roztočí doprava (signalizováno svitem LED E3), během chodu motoru (svitu LED E3) doleva obvod nereaguje na stisk tlačítka S3 a S5. Stiskem S6 se motor vypne (zhasne signalizační LED E3).



Obrázek 67 Schéma zapojení obvodu pro vzájemnou blokaci dvou tlačítek

## 10.2 Návrh zadání laboratorní úlohy na téma reléová automatika – časová relé

### Cíl laboratorní úlohy:

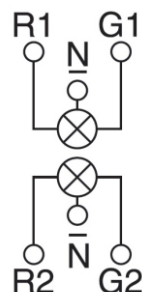
Cílem této laboratorní úlohy je seznámení se základními principy použití zapojení časových relé pro průmyslovou automatizaci. Zapojení navržených schémat a ověření jejich funkčnosti dle zadaného slovního popisu.

### Úkoly:

1. Seznámení s panelem samotným a nastudování teorie popsané níže
2. Zapojení jednotlivých schémat, před spuštěním je třeba **kontrola učitelem!**
3. Ověření funkce obvodu ve všech možných stavech a zda funkce odpovídá slovnímu popisu
4. Zpracování protokolu o provedení laboratorní úlohy

### Popis úlohy:

Panel se skládá z DIN lišty, která je osazena všemi potřebnými prvky. Jistič krom funkce ochranné, zde plní také funkci hlavního vypínače. Dále na desce jsou tlačítka, která dle zapojení mohou sloužit jako spínací nebo rozpínací. Dalším prvkem je multifunkční časové relé, pro všechny zapojení budeme využívat funkci E (On-delay), která funguje tak, že po přivedení napájení na relé začne odpočet nastaveného času, po uplynutí nastavené doby dojde k sepnutí/rozepnutí kontaktů. Jako poslední prvek, který se nachází na liště je modul se signalizačními LED. Modul obsahuje LED dvě a každá z nich může svítit buď to červeně nebo zeleně podle zapojení.



Obrázek 68 Schéma zapojení LED

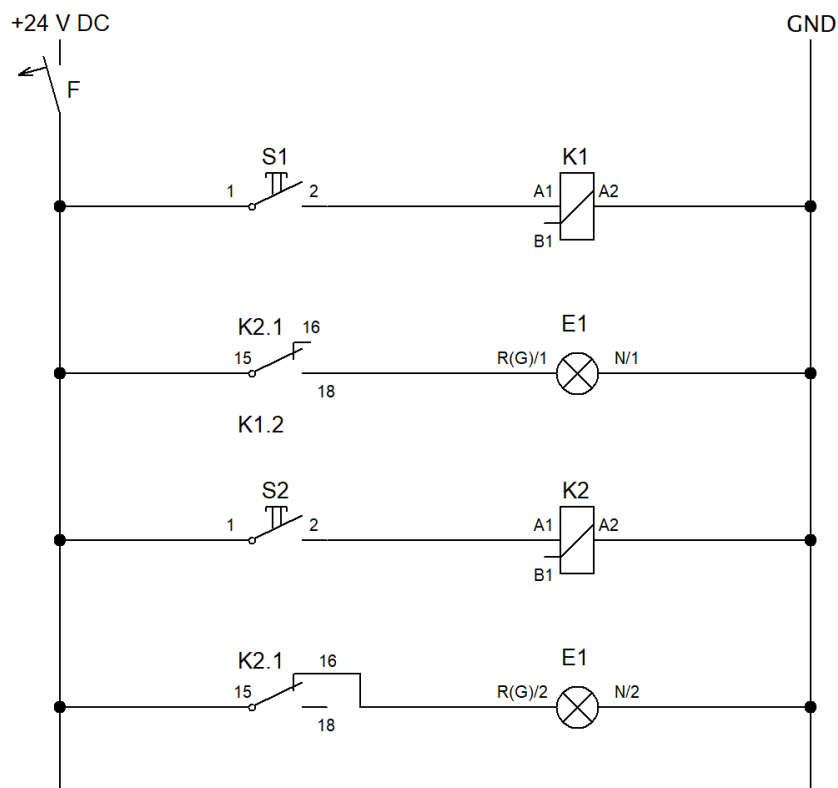
Kde R1 a G1 jsou vstupy horní LED, R2 a G2 jsou vstupy spodní LED, R a G značí barvy, kterou svítí, R je červená, G je zelená, N je výstup

**Nastavitelné rozsahy časového relé:**

- 1 s (rozsah od 50 ms až do 1 s)
- 10 s (rozsah od 1 s až do 10 s)
- 1 min (rozsah od 3 s až do 1 min)
- 10 min (rozsah od 30 s až do 10 min)
- 1 h (rozsah od 3 min až do 1 h)
- 10 h (rozsah od 30 min až do 10 h)
- 100 h (rozsah od 5 h min až do 100 h)

**Zadání zapojení č.1: Zpožděné zapínání a vypínání**

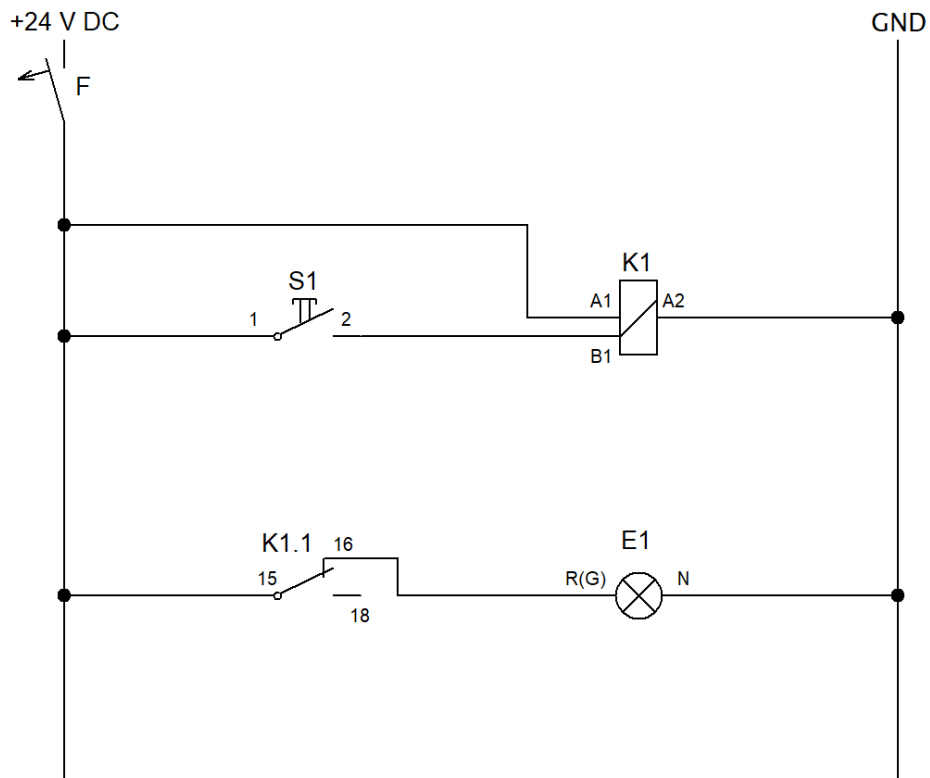
Základní a nejpoužívanější aplikací časových relé je zpožděné zapnutí nebo vypnutí. Zapojte obvod podle schématu pro zpožděné vypnutí a zapnutí spotřebiče. Při stisku S1 začne odpočet na relé K1, po uplynutí doby se rozsvítí horní LED na modulu E1. Dolní LED na modulu E1 svítí hned po připojení ke zdroji, při stisku tlačítka S2, začne odpočet nastavený na K2, po uplynutí nastavené doby dolní LED na modulu E1 zhasne.



Obrázek 69 Schéma zapojení pro zpožděné zapnutí a vypnutí

**Zadání zapojení č.2: Obvod pro časové ovládání**

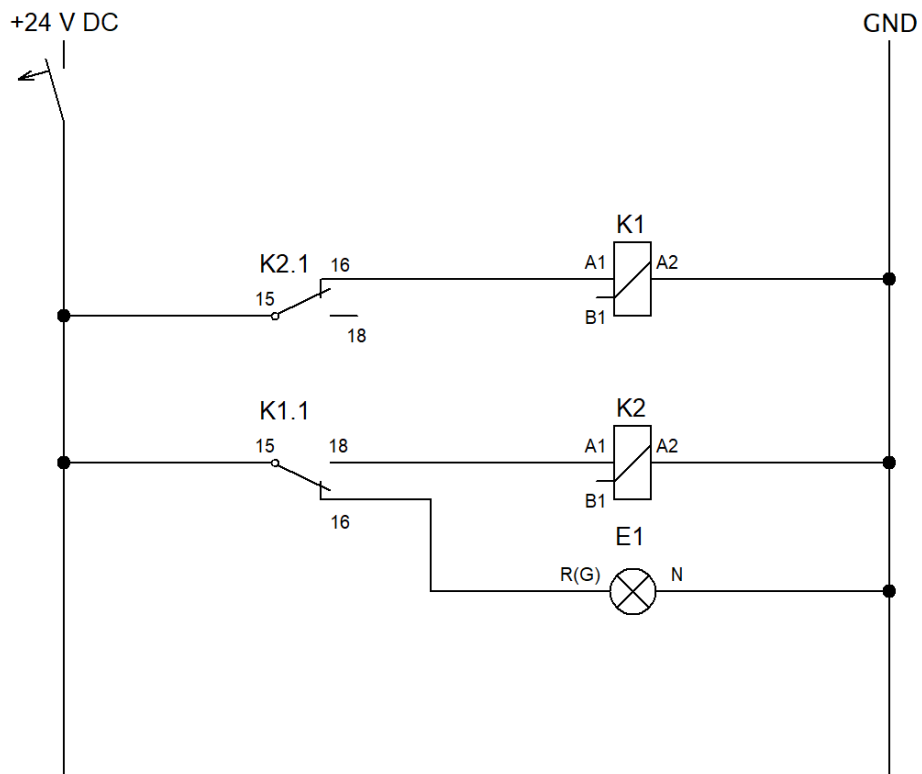
Zapojte obvod dle schématu. Obvod slouží pro časové ovládání spotřebiče podle nastavené periody. Spotřebič (signalizační LED E1 se rozsvítí) se spouští na nastavenou dobu při stlačení tlačítka S1.



Obrázek 70 Schéma obvodu pro časové ovládání

**Zadání zapojení č.3: Obvod pro střídavé zapínání**

Zapojte obvod dle schématu. Při stisku tlačítka S1 se rozsvítí horní LED na modulu E1 a zároveň začne odpočet nastaveného času na K1. Po uplynutí nastavené doby zhasne horní LED a rozsvítí se dolní LED na modulu E1, zároveň začne odpočet nastaveného času na K2. Po uplynutí dané doby zhasne i dolní LED.



Obrázek 71 Schéma zapojení pro strádavé zapínání

## ZÁVĚR

Cílem práce bylo navrhnout a realizovat laboratorní úlohu na téma reléová automatiky, která bude sloužit k výuce ve předmětu Technické prostředky automatice na Fakultě aplikované informatiky, zde na Univerzitě Tomáše Bati ve Zlíně. Práce je rozdělena na dvě části, a to na teoretickou a praktickou.

Teoretická část je zaměřena na samotnou problematiku reléových obvodů. V teoretické části byly popsány logické obvody, základní logické členy, řešení logických obvodů za pomoci různých metod a dělení logických obvodů a jejich příklady. Dále je v teoretické části popsána samotná reléová automatika a prostředky v ní využívané. Posledním bodem teoretické části je obecný postup při navrhování a realizaci logických obvodů.

Praktická část je věnována samotnému návrhu obvodů a jejich realizaci pomocí výkonových a časových relé a na realizaci pracoviště, které bude sloužit k ověření funkčnosti navržených zapojení, ale hlavně bude sloužit k výuce, a proto dalším bodem praktické části bylo navržení zadání laboratorních úloh na téma reléová automatika. První částí bylo seznámení se stávajícím stavem úloh, kdy sem zjistil, že jediné, co zbylo je torzo panelu bez funkčních komponent a jakékoliv dokumentace. Jelikož jsem se rozhodl rozdělit úlohy na dvě části bylo třeba obstarat ještě jeden panel. Jeden bude sloužit jako pracoviště zaměřující se na úlohy využívající aplikaci výkonových relé a druhý bude sloužit jako pracoviště využívající aplikaci časových relé. Další část se věnuje návrhu jednotlivých schémat a výběru komponent. Při návrhu schémat jsem dbal na to, aby úlohy odpovídali časové dotaci předmětu. Během návrhu jsem využíval simulační program Circuit simulator, který sloužil k ověření funkčnosti navržených schémat. Obvody s časovými relé musely však být ověřeny jen fyzicky, protože simulátor simulaci časových relé neumožňoval. Výběr komponent následně odpovídal požadavkům navržených schémat, kdy zároveň byly nakoupeny komponenty do zásoby, jelikož se počítá s mechanickým opotřebením šroubových kontaktů. Další částí je samotná realizace panelů, které museli odpovídat jednotnému vzhledu laboratoře a následné ověření funkčnosti mnou navržených schémat na reálných panelech. Hlavním výstupem této práce je návrh zadání laboratorních úloh na téma reléová automatika a ukázkové zpracování protokolu.

**SEZNAM POUŽITÉ LITERATURY**

- [1] LOSKOT, Roman a Pavel VALÁŠEK. Logické obvody a kódy. 3., upr. vyd. Hradec Králové: Gaudeamus, 2011, 142 s. ISBN 9788074351624.
- [2] LOGICKÉ OBVODY [online]. 20 [cit. 2023-05-02]. Dostupné z:
- [3] Logické funkce – AND, NAND, OR, NOR, XOR, NOT, YES, značení, pravdivostní tabulky. Mylms [online]. [cit. 2023-05-02]. Dostupné z: <https://www.mylms.cz/logicke-funkce-and-nand-or-nor-xor-not-yes-znaceni-pravdivostni-tabulky/>
- [4] Logic gate (AND, OR, XOR, NOT, NAND, NOR and XNOR) [online]. [cit. 2023-05-09]. Dostupné z: <https://www.techtarget.com/whatis/definition/logic-gate-AND-OR-XOR-NOT-NAND-NOR-and-XNOR?vnextfmt=print#xnor>
- [5] Logické obvody [online]. [cit. 2023-05-09]. Dostupné z: [https://module.sspbrno.cz/pluginfile.php/2990/mod\\_resource/content/1/Logicke\\_obvody.pdf](https://module.sspbrno.cz/pluginfile.php/2990/mod_resource/content/1/Logicke_obvody.pdf)
- [6] MIEKISCH, Jiří. Booleova algebra [online]. [cit. 2023-05-09]. Dostupné z: [https://www.sspu-opava.cz/static/UserFiles/File/\\_sablony/AUT\\_IV/VY\\_32\\_INOVACE\\_E-15-07.pdf](https://www.sspu-opava.cz/static/UserFiles/File/_sablony/AUT_IV/VY_32_INOVACE_E-15-07.pdf)
- [7] Minimalizace logického výrazu [online]. [cit. 2023-05-13]. Dostupné z: <https://eluc.ikap.cz/verejne/lekce/481>
- [8] LAMERES, Brock J. Introduction to logic circuits & logic design with VHDL. Switzerland: Springer, [2016], 1 online resource (xvi, 475 pages). Dostupné z: doi:9783319341958.
- [9] Normální formy a úplné normální formy [online]. [cit. 2023-05-13]. Dostupné z: <https://www.esf.kfi.zcu.cz/organon/opory/logh/skripta/2b.pdf>
- [10] Minimalizace pomocí algoritmu Quine-McCluskey [online]. [cit. 2023-05-13]. Dostupné z: <https://www.vovcr.cz/odz/tech/558/page03.html>
- [11] Logické funkce. Encyklopedie fyziky [online]. [cit. 2023-05-13]. Dostupné z: <http://fyzika.jreichl.com/main.article/view/1323-logicke-funkce>
- [12] Kombinační logické obvody. Elektronická učebnice [online]. [cit. 2023-05-13]. Dostupné z: <https://eluc.ikap.cz/verejne/lekce/484>
- [13] Sekvenční logické obvody. Elektronická učebnice [online]. [cit. 2023-05-13]. Dostupné z: <https://eluc.ikap.cz/verejne/lekce/490>



- [14] Definice kombinačního logického obvodu [online]. [cit. 2023-05-13]. Dostupné z: <https://www.vovcr.cz/odz/tech/552/page01.html>
- [15] Elektronická učebnice [online]. [cit. 2023-05-13]. Dostupné z: <https://eluc.ikap.cz>
- [16] KOMBINAČNÍ LOGICKÉ OBVODY [online]. 15 [cit. 2023-05-13]. Dostupné z: [https://coptel.cz/pluginfile.php/15618/mod\\_resource/content/1/8.%20KOMBINAČNÍ%20LOGICKÉ%20OBVODY.pdf](https://coptel.cz/pluginfile.php/15618/mod_resource/content/1/8.%20KOMBINAČNÍ%20LOGICKÉ%20OBVODY.pdf)
- [17] Sčítačky [online]. [cit. 2023-05-13]. Dostupné z: <https://slideplayer.cz/slide/13023008/>
- [18] SEKVENČNÍ LOGICKÉ OBVODY [online]. In: . s. 6 [cit. 2023-05-14]. Dostupné z: [http://isst.hys.cz/images/prezentace/sekvenčni\\_log\\_obvody.pdf](http://isst.hys.cz/images/prezentace/sekvenčni_log_obvody.pdf)
- [19] Jednoduché sekvenční obvody [online]. [cit. 2023-05-14]. Dostupné z: <https://eluc.ikap.cz/verejne/lekce/491>
- [20] Popis sekvenčního logického obvodu [online]. [cit. 2023-05-14]. Dostupné z: <https://www.vovcr.cz/odz/tech/553/page02.html>
- [21] MATOUŠEK, Radomil. Číslicová technika: základy konstruktérské praxe. Praha: BEN – technická literatura, 2001, 207 s. ISBN 8073000253.
- [22] HRUŠKA, František. Technické prostředky integrované automatizace. Zlín: Univerzita Tomáše Bati ve Zlíně, 2012, 1 online zdroj (345 s.). ISBN 978-80-7454-234-3. Dostupné také z: <http://hdl.handle.net/10563/18664>.
- [23] Realizace logických funkcí [online]. [cit. 2023-05-14]. Dostupné z: <https://eluc.ikap.cz/verejne/lekce/934>
- [24] Elektromagnetické relé [online]. [cit. 2023-05-16]. Dostupné z: <http://asdfjkl.tode.cz/2019/03/elektromagneticke-rele/>
- [25] BAYER, Jiří, Zdeněk HANZÁLEK a Richard ŠUSTA. Logické systémy pro řízení. Praha: Vydavatelství ČVUT, 2000, 269 s. ISBN 8001021475.
- [26] Časová relé [online]. [cit. 2023-05-16]. Dostupné z: <https://www.elektroprumysl.cz/elektroinstalace/principy-a-typy-casovych-rele>
- [27] Časové relé multifunkční 12-240VAC/DC, 1P [online]. [cit. 2023-05-17]. Dostupné z: <https://www.schrack.cz/eshop/rizeni-ovladani-a-regulace/paticove-casove-merici-hlidaci-rele-a-rele-do-plosnych-spoju/casova-rele/casova-rele-serie-zr5/casove-rele-multifunkcni-12-240vac-dc-1p-zr5mf011.html?q=Časové%20relé%20multifunkční%2012-240VAC/DC,%201P>

- [28] Řadová svorka CBC.2 šedá, 2,5mm<sup>2</sup> [online]. [cit. 2023-05-17]. Dostupné z:  
<https://www.schrack.cz/eshop/jistici-a-ochrann-pristroje/odbocovaci-pripojovaci-a-radove-svorky/sroubove-svorky-ik1/sroubove-svorky-cbc/radova-svorka-cbc-2-seda-2-5mm2-ik110002.html?q=Řadová+svorka+CBC.2+šedá%2C+2%2C5mm2.schrack.cz/eshop/rizeni-ovladani-a-regulace/paticove-casove-merici-hlidaci-rele-a-rele-do-plosnych-spoju/casova-rele/casova-rele-serie-zr5/casove-rele-multifunkcni-12-240vac-dc-1p-zr5mf011.html?q=Časové%20relé%20multifunkční%2012-240VAC/DC,%201P>

## SEZNAM POUŽITÝCH SYMBOLŮ A ZKRATEK

DIN Německý institut pro normy a standardizace

AC Střídavý proud

DC Stejnoseměrný proud

**SEZNAM OBRÁZKŮ**

Obrázek 1 Schématická značka hradla NOT .....	12
Obrázek 2 Schématická značka hradla AND.....	13
Obrázek 3 Schématická značka hradla OR.....	14
Obrázek 4 Schématická značka hradla NOR.....	15
Obrázek 5 Schématická značka hradla NAND.....	15
Obrázek 6 Schématická značka hradla XOR.....	16
Obrázek 7 Schématická značka hradla XNOR.....	17
Obrázek 8 Pravdivostní tabulky dle počtu vstupních proměnných, a) 2 vstupní proměnné, b) 3 vstupní proměnné A, B a C, c) 4 vstupní proměnné A, B, C a D [7] .....	18
Obrázek 9 Příklad tvoření smyček přes okraje mapy .....	19
Obrázek 10 Obecné schéma kombinačního logického obvodu [14] .....	20
Obrázek 11 Kombinační dvojpól [12] .....	21
Obrázek 12 Kombinační multipól [12].....	21
Obrázek 13 Blokové znázornění multiplexoru [15] .....	22
Obrázek 14 Blokové znázornění demultiplexoru [15].....	22
Obrázek 15 Schématická značka poloviční sčítačky [17] .....	23
Obrázek 16 Schématická značka úplné sčítačky [17].....	23
Obrázek 17 Blokové schéma sekvenčního logického obvodu [13].....	24
Obrázek 18 Blokové schéma asynchronního sekvenčního obvodu.....	24
Obrázek 19 Blokové schéma synchronního sekvenčního obvodu.....	25
Obrázek 20 Astabilní klopný obvod zapojený pomocí hradel NAND a RC členu [19] .....	26
Obrázek 21 Monostabilní klopný obvod zapojený pomocí hradel NAND a AND [19] .....	26
Obrázek 22 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí hradel NAND klopného obvodu RS [15].....	27
Obrázek 23 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí hradel NAND klopného obvodu RST [15].....	28
Obrázek 24 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí hradel NAND klopného obvodu D [15].....	28

Obrázek 25 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí hradel NAND synchronního klopného obvodu D [15] .....	29
Obrázek 26 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí hradel AND a RS obvodu klopného obvodu JK [15].....	29
Obrázek 27 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí hradel AND a RST obvodu synchronního klopného obvodu JK .....	30
Obrázek 28 Schematická značka, pravdivostní tabulka a příklad zapojení pomocí klopného obvodu D klopného obvodu T .....	30
Obrázek 29 Princip činnosti relé, vlevo relé v klidovém stavu, vpravo relé po vybuzení cívky elektrickým proudem [24] .....	33
Obrázek 30 Značky logických funkcí dle norem IEC a americké ASA [23] .....	36
Obrázek 31 Původní stav panelu pro výkonová relé .....	39
Obrázek 32 Výkonové relé PT 4P/6A, 24 V DC a patice pro relé RS, 14 pinů, 10A 40	
Obrázek 33 Multifunkční časové relé 12-240 V AC/DC, 1P [27].....	41
Obrázek 34 Instalační LED signálka dvojitá, dvoubarevná, 12-24 V AC/DC .....	42
Obrázek 35 Instalační tlačítko, 16 A, 1Z+1R (1NO+1NC), 230 V AC .....	42
Obrázek 36 Instalační jistič 6 kA, B 2 A, 1P .....	43
Obrázek 37 Řadová svorka CBC.2 šedá, 2,5mm <sup>2</sup> [28].....	43
Obrázek 38 Schéma zapojení funkce AND pomocí relé a tlačítek.....	45
Obrázek 39 Simulace funkce AND v programu Circuit simulator.....	45
Obrázek 40 Schéma zapojení funkce OR pomocí relé a tlačítek.....	46
Obrázek 41 Simulace funkce OR v programu Circuit simulator.....	46
Obrázek 42 Schéma zapojení funkce NAND pomocí relé a tlačítek.....	47
Obrázek 43 Simulace funkce NAND v programu Circuit simulator.....	47
Obrázek 44 Schéma zapojení funkce NOR pomocí relé a tlačítek.....	48
Obrázek 45 Simulace funkce NOR v programu Circuit simulator.....	48
Obrázek 46 Schéma zapojení funkce XOR pomocí relé a tlačítek.....	49
Obrázek 47 Simulace funkce XOR v programu Circuit simulator.....	49
Obrázek 48 Schéma zapojení ovládní motoru ze dvou stanovišť .....	50
Obrázek 49 Simulace zapojení obvodu pro ovládní motoru ze dvou stanovišť .....	50
Obrázek 50 Schéma zapojení obvodu pro blokaci dvou tlačítek.....	51
Obrázek 51 Simulace zapojení obvodu pro blokaci dvou tlačítek.....	52
Obrázek 52 Schéma zapojení obvodu zpožděné zapínání a zpožděné vypínání .....	53

Obrázek 53 Schéma zapojení obvodu pro časové ovládání.....	53
Obrázek 54 Původní zapojení pro střídavé časové vypínání a zapínání.....	54
Obrázek 55 Nové zapojení pro časové vypínání .....	55
Obrázek 56 Panel pro výkonová relé.....	56
Obrázek 57 Panel pro úlohy zaměřené na časové relé.....	57
Obrázek 58 Panel pro časová relé.....	58
Obrázek 59 Zapojení kontaktů v patici relé.....	61
Obrázek 60 Schéma zapojení signalizačních LED.....	61
Obrázek 61 Schéma zapojení a pravdivostní tabulka funkce AND.....	62
Obrázek 62 Schéma zapojení a pravdivostní tabulka funkce OR.....	62
Obrázek 63 Schéma zapojení a pravdivostní tabulka funkce NAND.....	63
Obrázek 64 Schéma zapojení a pravdivostní tabulka funkce NOR.....	63
Obrázek 65 Schéma zapojení a pravdivostní tabulka funkce XOR.....	64
Obrázek 66 Schéma zapojení obvodu pro ovládání motoru ze dvou stanovišť.....	64
Obrázek 67 Schéma zapojení obvodu pro vzájemnou blokaci dvou tlačítek .....	65
Obrázek 68 Schéma zapojení LED.....	66
Obrázek 69 Schéma zapojení pro zpožděné zapnutí a vypnutí .....	67
Obrázek 70 Schéma obvodu pro časové ovládání .....	68
Obrázek 71 Schéma zapojení pro střídavé zapínání .....	69
Obrázek 72 Zapojení kontaktů v patici relé.....	82
Obrázek 73 Schéma zapojení signalizačních LED.....	82
Obrázek 74 Schéma zapojení a pravdivostní tabulka funkce AND.....	83
Obrázek 75 Schéma zapojení a pravdivostní tabulka funkce OR.....	83
Obrázek 76 Schéma zapojení a pravdivostní tabulka funkce NAND.....	84
Obrázek 77 Schéma zapojení a pravdivostní tabulka funkce NOR.....	84
Obrázek 78 Schéma zapojení a pravdivostní tabulka funkce XOR.....	85
Obrázek 79 Schéma zapojení obvodu pro ovládání motoru ze dvou stanovišť.....	85
Obrázek 80 Schéma zapojení obvodu pro vzájemnou blokaci dvou tlačítek .....	86
Obrázek 81 Zapojení na panelu funkce AND.....	87
Obrázek 82 Zapojení na panelu funkce OR.....	87
Obrázek 83 Zapojení na panelu funkce NAND.....	88
Obrázek 84 Zapojení na panelu funkce NOR.....	88
Obrázek 85 Zapojení na panelu funkce XOR.....	89

---

Obrázek 86 Zapojení na panelu vzájemné blokace dvou tlačítek.....89

**SEZNAM TABULEK**

Tabulka 1 Pravdivostní tabulka funkce NOT .....	12
Tabulka 2 Pravdivostní tabulka funkce AND .....	13
Tabulka 3 Pravdivostní tabulka funkce OR .....	14
Tabulka 4 Pravdivostní tabulka funkce NOR .....	14
Tabulka 5 Pravdivostní tabulka funkce NAND .....	15
Tabulka 6 Pravdivostní tabulka funkce XOR .....	16
Tabulka 7 Pravdivostní tabulka funkce XNOR .....	16



## SEZNAM PŘÍLOH

P I: Ukázkový protokol úlohy Reléová automatika – výkonová relé

## PŘÍLOHA P I: UKÁZKOVÝ PROTOKOL ÚLOHY RELÉOVÁ AUTOMATIKA – VÝKONOVÁ RELÉ

<b>Protokol o provedení měření</b>			
<b>Název úlohy:</b>	<i>Reléová automatika-výkonová relé</i>	<b>Číslo úlohy:</b>	
<b>Předmět:</b>		<b>Hodnocení:</b>	
<b>Zpracoval:</b>			
<b>Skupina:</b>			
<b>Datum:</b>			

### Cíl laboratorní úlohy:

Cílem této laboratorní úlohy je seznámení se základními principy použití zapojení s relé pro průmyslovou automatizaci. Zapojení navržených schémat a ověření jejich funkčnosti dle zadaného slovního popisu.

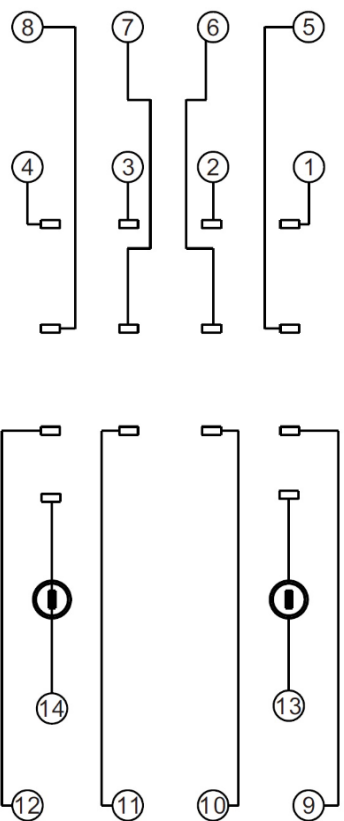
### Úkoly:

1. Seznámení s panelem samotným a nastudování teorie popsané níže
2. Zapojení jednotlivých schémat, před spuštěním je třeba **kontrola učitelem!**
3. Ověření funkce obvodu ve všech možných stavech a zda funkce odpovídá slovnímu popisu
4. Zpracování protokolu o provedení laboratorní úlohy

### Popis úlohy:

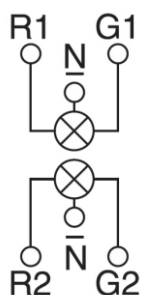
Panel se skládá ze dvou DIN lišt, horní DIN lišta je myšlena pro zapojení zadání číslo jedna. Ověření funkce vybraných logických funkcí. Spodní lišta je pro zadání číslo dva a tři. Na horní liště se nachází jistič, který krom ochranné funkce slouží také jako hlavní vypínač. Na každé liště se nachází tlačítka, která mohou sloužit jako spínací i rozpínací, dle zapojení. Dále se zde nachází výkonová relé, což jsou elektromechanické prvky, které se skládají z cívky, kotvy a jednotlivých kontaktů. Po přivedení napětí na cívku vyvolá proud cívku v magnetickém obvodu magnetický tok, ten přitažlivou silou pohne kotvou a dojde

k rozepnutí/sepnutí kontaktů. Jako poslední prvek, který se nachází na lištách jsou moduly se signalizačními LED. Každý modul obsahuje LED dvě a každá z nich může svítit buď to červeně nebo zeleně podle zapojení.



Obrázek 72 Zapojení kontaktů v patici relé

Kde 13 je vstup cívky A1, 14 výstup cívky A2, 9 až 12 jsou vstupy kontaktů, 1 až 4 jsou rozpínací kontakty a 5 až 8 jsou kontakty spínací.



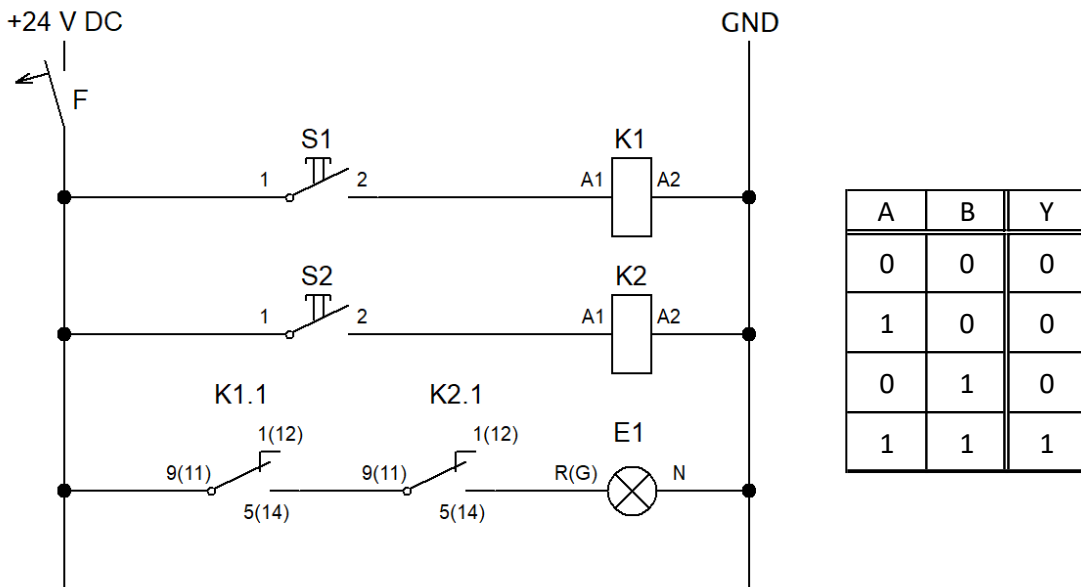
Obrázek 73 Schéma zapojení signalizačních LED

Kde R1 a G1 jsou vstupy horní LED, R2 a G2 jsou vstupy spodní LED, R a G značí barvy, kterou svítí, R je červená, G je zelená, N je výstup

### Zadání zapojení č.1: Ověření funkce vybraných logických členů

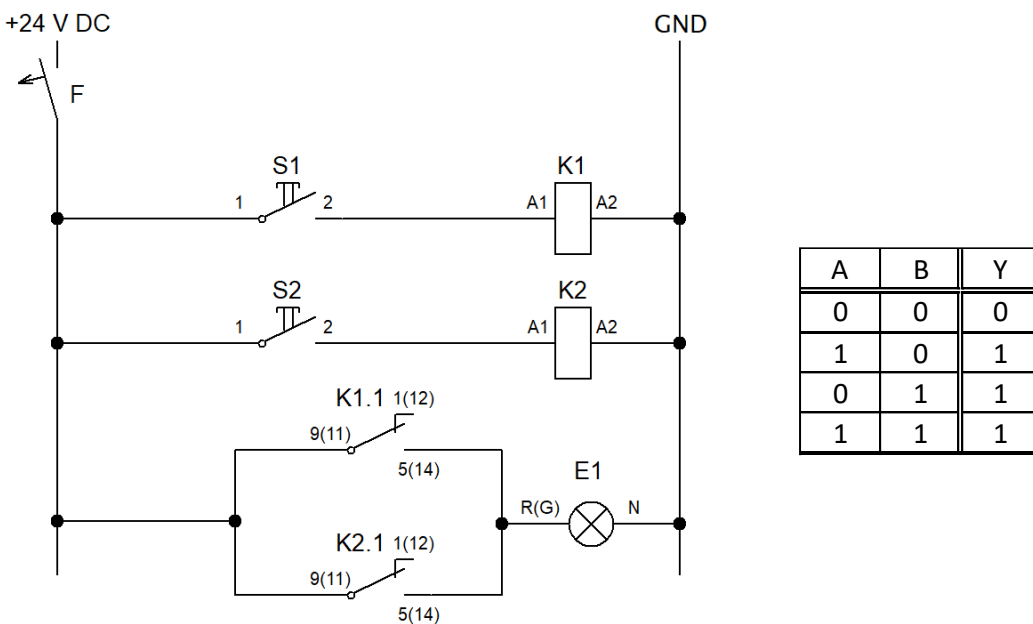
Zapojte jednotlivé logické funkce pomocí přiložených schémat a ověřte jejich funkci popsanou pravdivostní tabulkou.

#### Logický součin AND



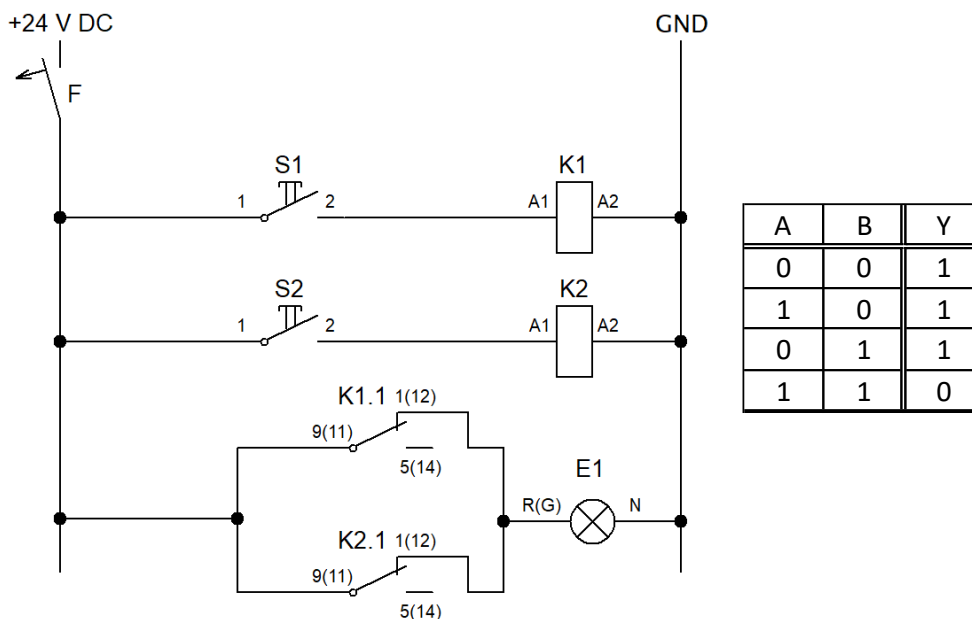
Obrázek 74 Schéma zapojení a pravdivostní tabulka funkce AND

#### Logický součet OR



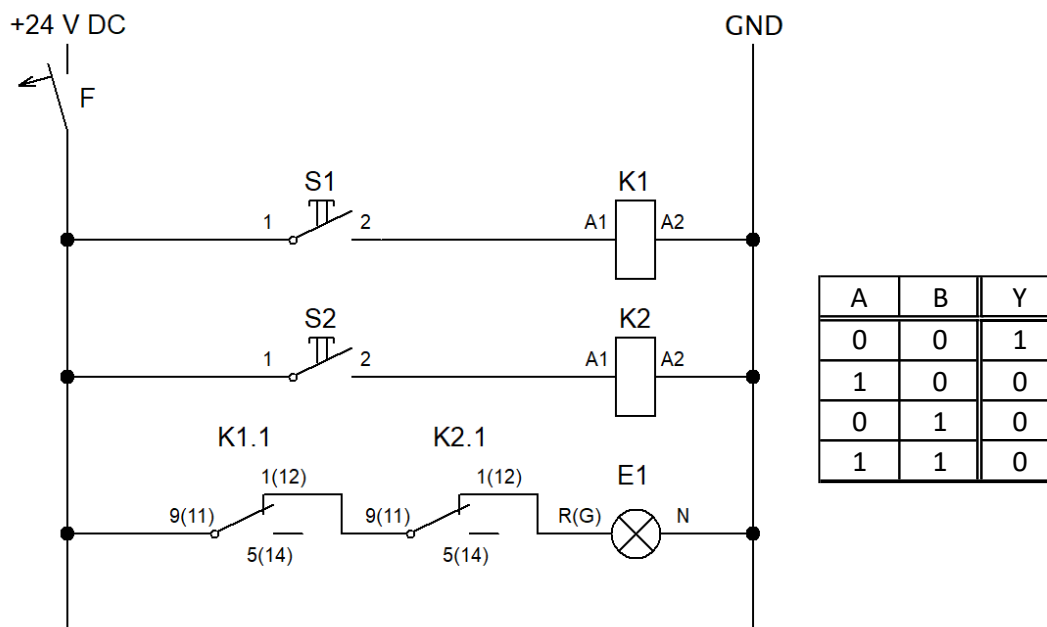
Obrázek 75 Schéma zapojení a pravdivostní tabulka funkce OR

## Negovaný logický součin NAND



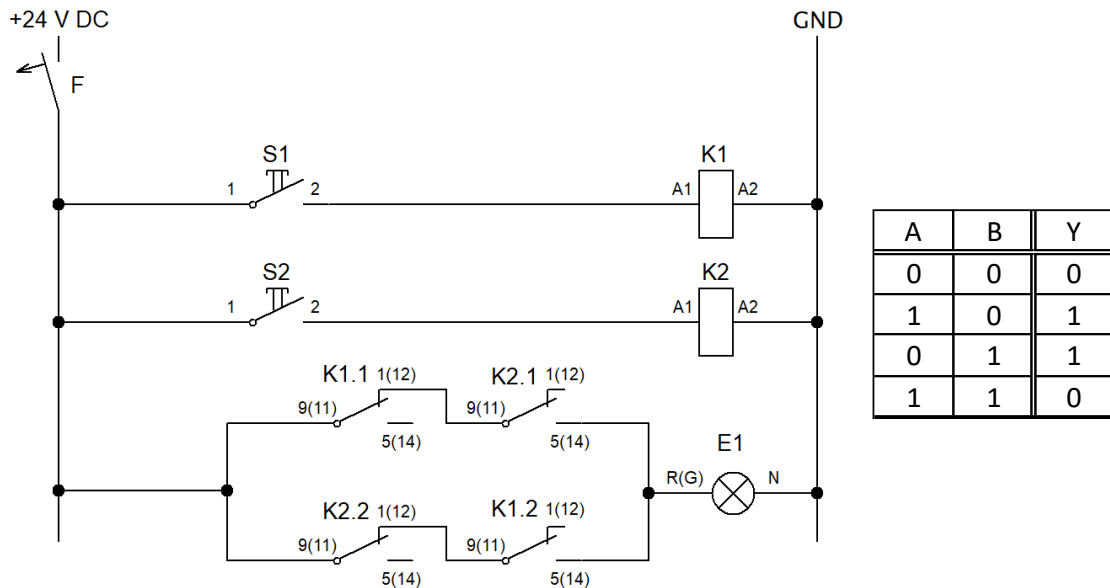
Obrázek 76 Schéma zapojení a pravdivostní tabulka funkce NAND

## Negovaný logický součet NOR



Obrázek 77 Schéma zapojení a pravdivostní tabulka funkce NOR

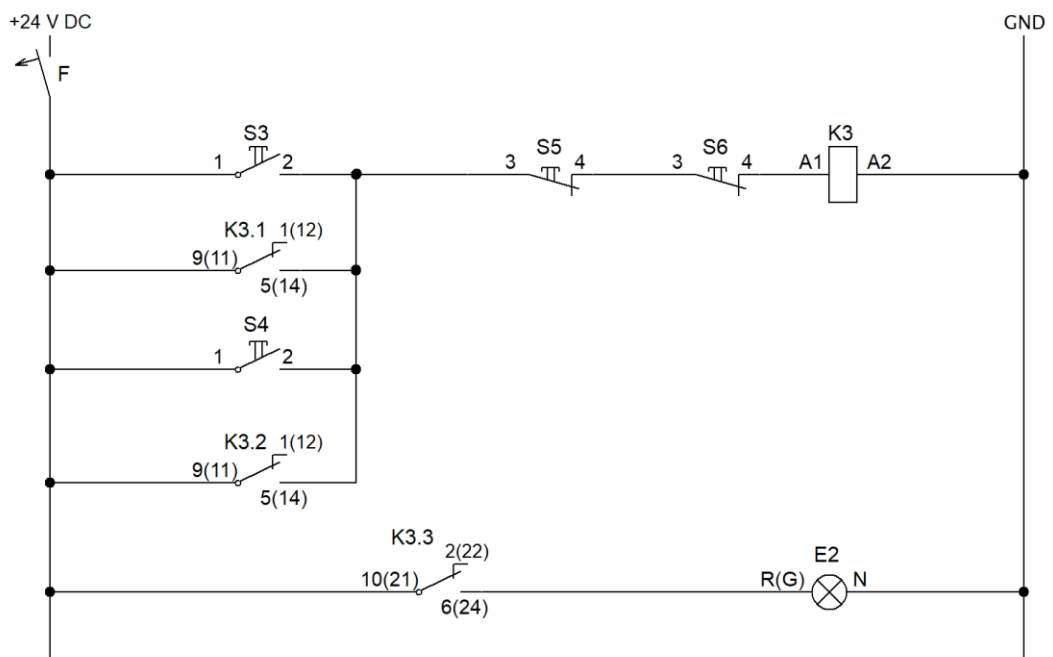
## Exkluzivní logický součet XOR



Obrázek 78 Schéma zapojení a pravdivostní tabulka funkce XOR

### Zadání zapojení č.2: Ovládání motoru ze dvou stanovišť

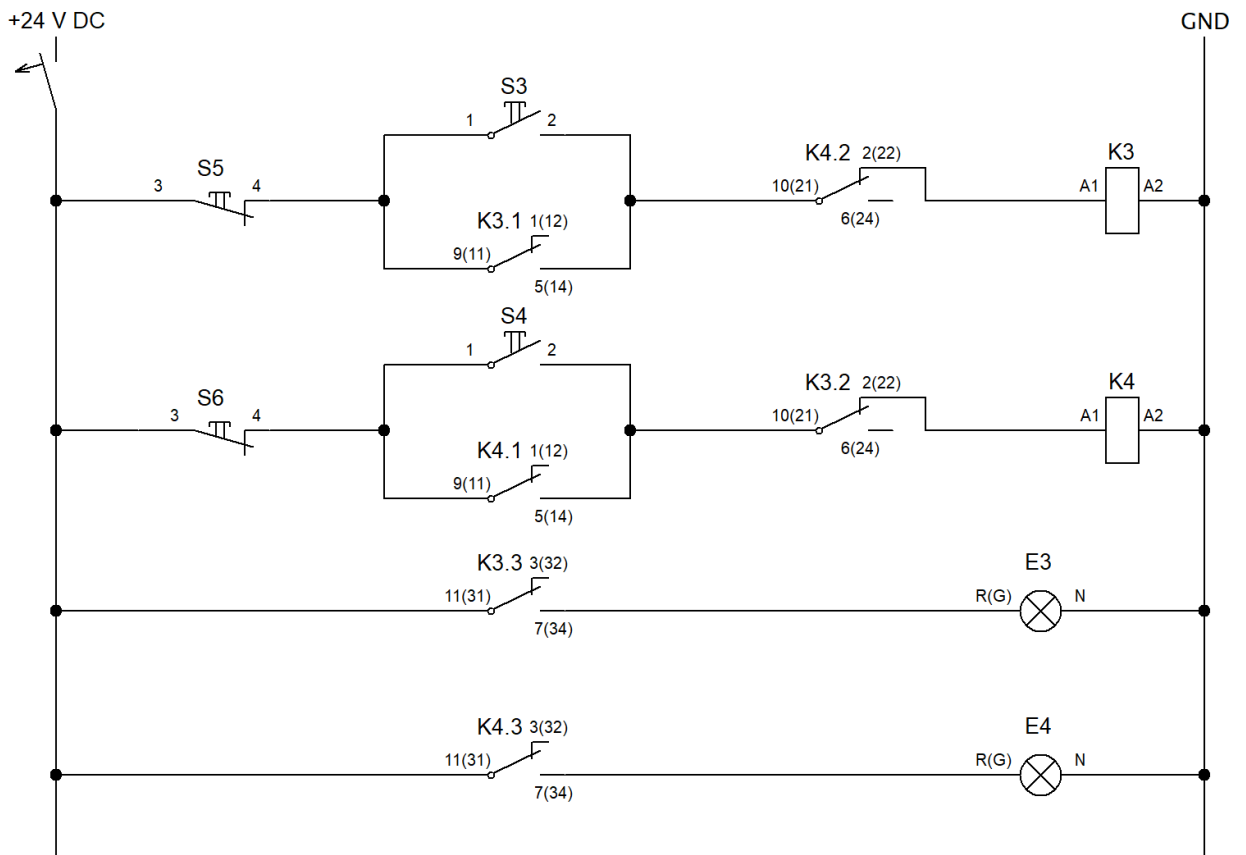
Zapojte obvod pro ovládání motoru ze dvou stanovišť, na každém stanovišti se nachází dvě tlačítka, jednu tlačítko má funkci START druhé STOP, tlačítkem START spustím motor (signalizováno svitem LED E2), tlačítkem STOP se motor vypne (signalizační LED E2 zhasne). S3 a S4 mají funkci START, S5 a S6 mají funkci STOP.



Obrázek 79 Schéma zapojení obvodu pro ovládání motoru ze dvou stanovišť

### Zadání zapojení č.3: Blokace dvou tlačítek

Zapojte obvod, který slouží k vzájemné blokaci dvou tlačítek. Stiskem S3 se motor roztočí doleva (signalizováno svitem LED E2), během chodu motoru doleva (svitu LED E2) obvod nereaguje na stisk tlačítka S4 a S6. Stiskem tlačítka S5 se motor vypne (zhasne signalizační LED E2). Stiskem S4 se motor roztočí doprava (signalizováno svitem LED E3), během chodu motoru (svitu LED E3) doleva obvod nereaguje na stisk tlačítka S3 a S5. Stiskem S6 se motor vypne (zhasne signalizační LED E3).

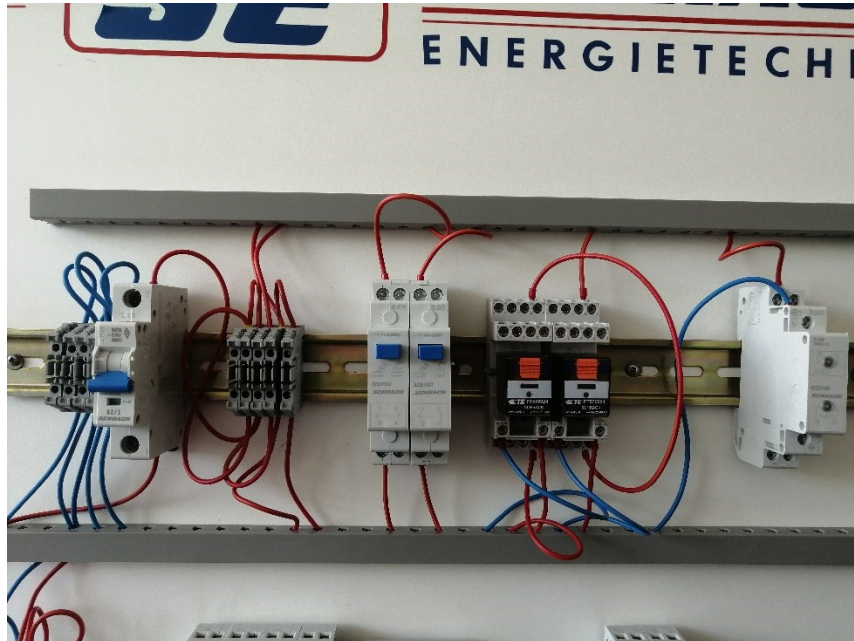


Obrázek 80 Schéma zapojení obvodu pro vzájemnou blokaci dvou tlačítek

**Vyhodnocení:**

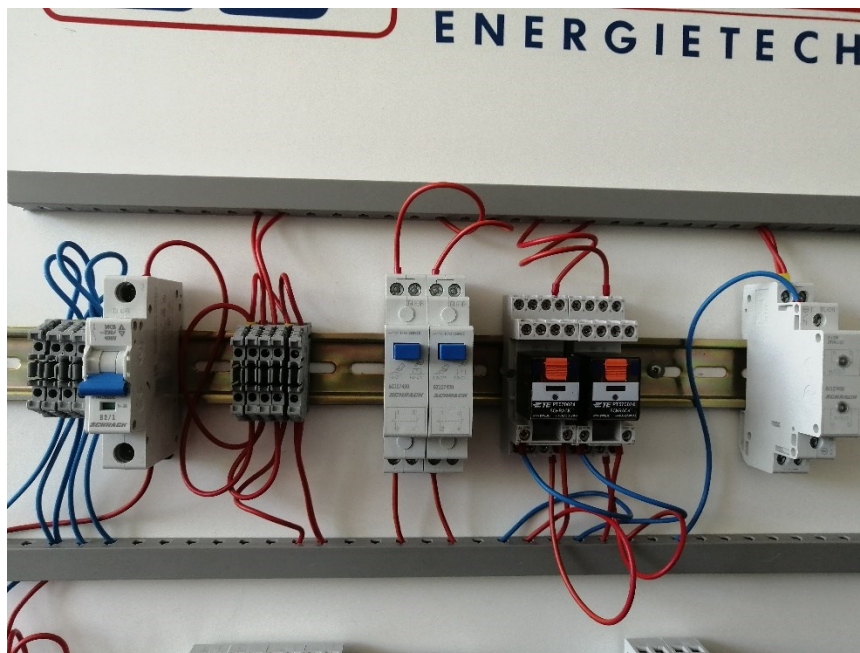
**Zadání zapojení č. 1:**

**Zapojení logického součinu AND**



Obrázek 81 Zapojení na panelu funkce AND

**Zapojení logického součtu OR**

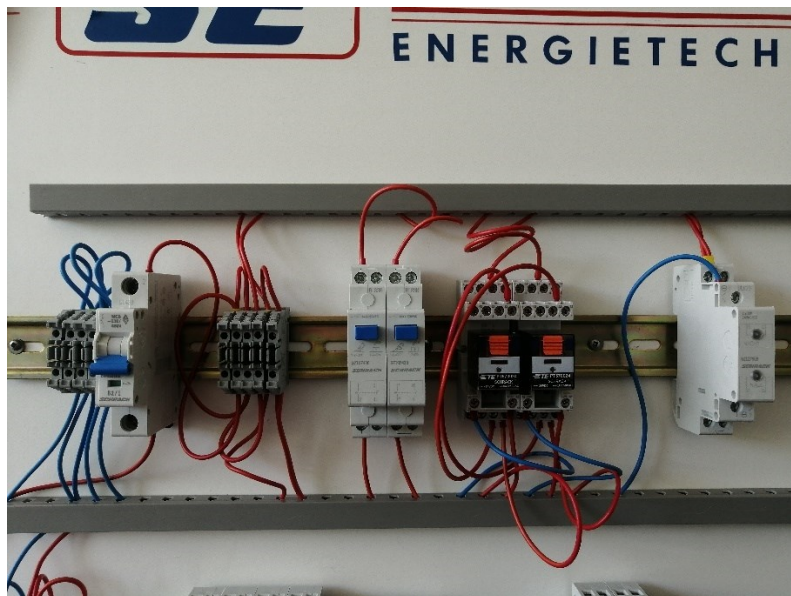


Obrázek 82 Zapojení na panelu funkce OR



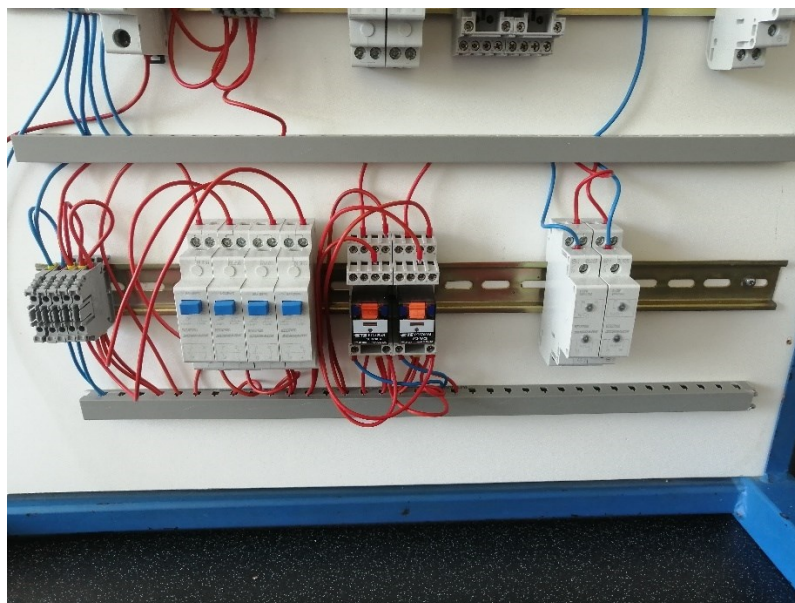


## Zapojení logického exkluzivního součtu XOR



Obrázek 85 Zapojení na panelu funkce XOR

## Zadání zapojení č.3:



Obrázek 86 Zapojení na panelu vzájemné blokace dvou tlačítek

## Závěr:

Všechna navržená zadání byla zapojena podle přiložených schémat a u všech byla ověřena funkčnost dle slovního popisu bez problému.